

СТРУКТУРА ПАРАЛЛЕЛЬНОГО УМНОЖИТЕЛЯ ДЛЯ ВСТРАИВАЕМЫХ СИСТЕМ МУЛЬТИМЕДИА

Н.А. Петровский

Белорусский государственный университет, кафедры электронных вычислительных средств
ул.П.Бровки 6, г. Минск, Беларусь
телефон(ы): + (37529) 6054888; e-mail: nick.petrovsky@gmail.com
web: www.bsuir.by

К встраиваемым средствам мультимедиа реального времени предъявляются высокие требования, как по производительности, так и по потребляемой мощности. В общем случае, умножение и аккумулярование результата (МАС) является ключевой операцией в данных системах. В аппаратной реализации высокопроизводительного МАС-процессора применяются параллельные умножители [1-2], которые характеризуются большими затратами как по площади кристалла, так и по потребляемой мощности. Цель данного доклада является исследование структурных решений параллельных умножителей с минимальными аппаратными затратами.

Параллельный умножитель, реальное время

1 ПРОЕКТИРОВАНИЕ АППАРАТНОГО УМНОЖИТЕЛЯ

Наиболее ресурсоемкой структурой в составе МАС процессора является умножитель. Реализация операции умножения аппаратными методами всегда являлась сложной задачей при разработке высокопроизводительных систем. Аппаратная реализация алгоритма умножения в первую очередь предназначена для получения максимального быстродействия выполнения этой операции в устройстве системы мультимедиа реального времени.

Параллельный умножитель представляет собой законченную логическую схему без элементов памяти, поэтому результат умножения образуется за время, равное времени установления схемы. Существует много различных вариантов построения матрицы сумматоров параллельного умножителя, причем они достаточно хорошо классифицируются по методам соединения сумматоров и обработки отрицательных чисел [1]. На рисунке 1 показана структура параллельного умножителя $n \times m$, m и n соответствующая разрядность операндов.

Видно, что каждая строка сумматоров представляет собой многоразрядный сумматор с последовательным распространением переноса. Она формирует частичную сумму и передает её последующей строке.

Чтобы оценивать время установления в таком умножителе, учтём, что разряд результата P_6 образуется спустя время, равное m задержкам суммирования и n задержкам переноса, а разряд P_{11} - на n задержек переноса позже.

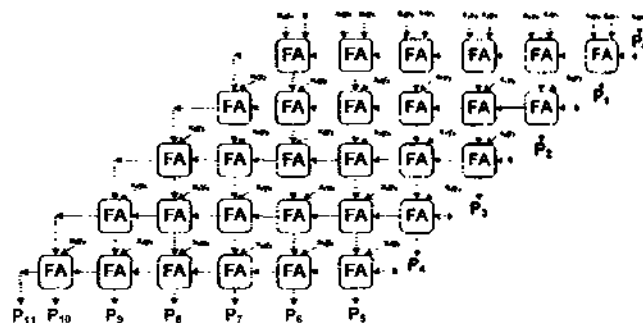


Рис.1. Параллельный умножитель ($n=6, m=6$)

Таким образом, общее время, описываемое $2n$ задержками переноса и m задержками распространения на сумматорах, отражено в формуле 2.1.

$$\tau_0 = 2n\tau_{\Pi} + m\tau_{\Sigma} \quad (2.1)$$

Если обеспечить распространение сигналов переноса по диагонали (рис.2) [1,3], то суммарную задержку можно уменьшить. В этом случае безразлично на какую строку поступает перенос от предыдущего столбца.

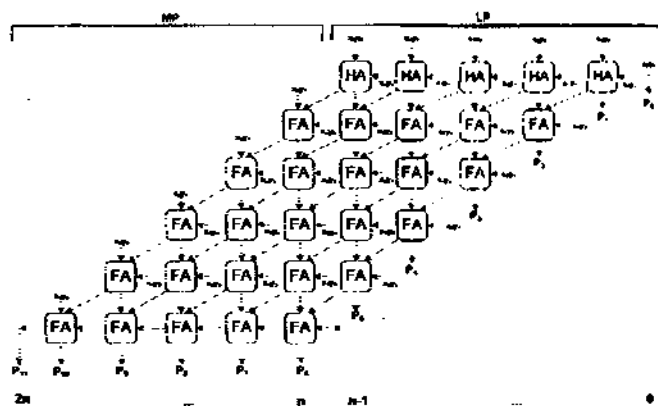


Рис.2. Параллельный умножитель с ускоренным переносом

Схемы, показанные на рисунках 1 и 2, дают одно и то же произведение, однако последняя имеет преимущество, поскольку сигналы переноса и сумм, распространяющиеся от одноразрядных сумматоров в младших разрядах, одновременно поступают на сумматоры в более старших

разрядах. Это так называемая схема с сохранением переноса. Например, сигнал на выходе P_6 появиться спустя время равное пяти задержкам суммирования или переноса, в зависимости от того, какой из отрезков времени длиннее, что отражает формула 2.2.

$$\tau_0 = \begin{cases} [(m-1) + (n-1)], & m\tau_{\Pi} > (n-1)\tau_c \\ (n-1)(\tau_{\Pi} + \tau_c), & x \geq 0 \end{cases} \quad (2.2)$$

Результат, получаемый в данном умножителе, $n+m$ разрядный, но необходимая операция умножения для МАС-процессора, имеет сокращенный формат: входные операнды и выходной продукт умножения имеет одинаковую разрядность.

$$P = ML + LP = \sum_{i=n}^{2n-1} P_i \cdot 2^i + \sum_{i=0}^{n-1} P_i \cdot 2^i \quad (2.3)$$

Следовательно, младшая часть продукта умножения LP вычисляется только для определения переноса из $n-1$ разряда произведения. Таким образом, можно сократить матрицу сумматоров параллельного умножителя на половину и формировать бит переноса некой комбинационной схемой так, чтобы округленный продукт умножения в статистическом смысле имел минимальную ошибку по сравнению с умножителем с полной матрицей сумматоров.[4]

Положим, что α_i величина, определяющая сумму переносов полученных из столбца P_i , тогда разница продуктов умножения полного умножителя и сокращенного определяется выражением:

$$\varepsilon = \alpha_{n-1} \cdot 2^n, \quad 0 \leq \alpha_{n-1} \leq n-1 \quad (2.4)$$

Обобщив сумму переносов из $n-1$ столбца, получим:

$$\varepsilon \leq (n-1) \cdot 2^n \quad (2.5)$$

Согласно архитектуре умножителя:

$$\alpha_{n-1} = \left\lfloor \frac{1}{2} (x_{n-1}y_0 + x_{n-2}y_1 + \dots + x_1y_{n-2} + x_0y_{n-1} + \alpha_{n-2}) \right\rfloor$$

$$= \left\lfloor \frac{1}{2} \left(\frac{1}{4} x_{n-2}y_0 + \dots + \frac{1}{2^{n-1}} x_0y_1 \right) + \frac{1}{2} (x_{n-1}y_0 + x_{n-2}y_1 + x_0y_{n-1}) \right\rfloor = \left\lfloor \frac{1}{2} \beta + \lambda \right\rfloor \quad (2.6)$$

Альтернативная схема формирования переноса (Cg) может быть синтезирована на основе следующих рассуждений. Положим, что вероятность появления 1 в каждом разряде входного операнда равна 0.5:

$$\begin{cases} p(x_i = 1) = 0,5 \\ p(y_i = 1) = 0,5 \end{cases} \quad (2.7)$$

Вероятность того, что продукт умножения x_iy_i также равен 1 будет определено следующим выражением:

$$p1(x_iy_i) \cong \frac{\beta}{n} \quad (2.8)$$

Вероятность $p1(x_iy_i)$ пропорциональна β и может быть аппроксимирована прямой линией:

$$\alpha \cong \frac{\beta}{2} - \frac{\beta}{n} \quad (2.9)$$

Минимальная схема формирования переноса может быть легко синтезирована, если найти соотношение между β и λ в выражении (2.6), а затем установить соотношение между α_{n-1} и β . Для заданного β , определим теорему[5]:

$$\alpha_{n-1} \cong \alpha' = \begin{cases} 0, & \beta = 0 \\ \beta - 1, & \beta > 0 \end{cases} \quad (2.10)$$

На основании данной теоремы можно синтезировать схему формирования переносов (Cg):

$$C_i = O_{i-1} \wedge x_{n-i} \cdot y_0 = (x_{n-i} \cdot y_0 \vee x_{n-2} \cdot y_1 \vee \dots \vee x_{n-i} \cdot y_{i-1}) \wedge x_{n-i} \cdot y_0, \quad 1 \leq i \leq n-1 \quad (1.1)$$

На рисунке 3 показана схема параллельного умножителя с сокращенным произведением:

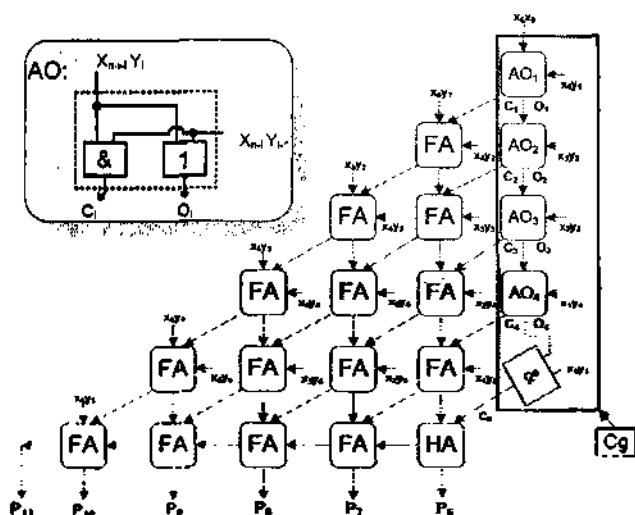


Рис.3. Параллельный умножитель со схемой формирования переноса

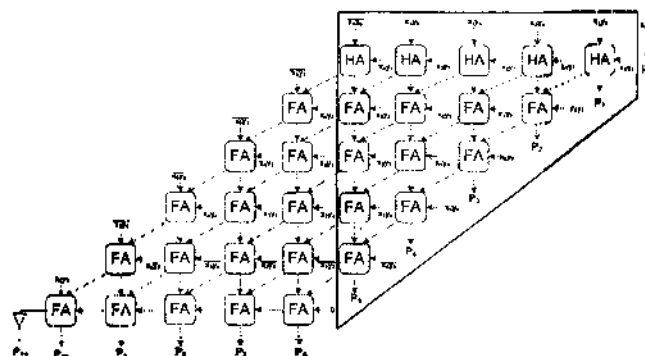


Рис. 4. Параллельный умножитель с диагональным переносом для чисел в дополнительном коде

Всё изложенное выше характерно для прямого кода представления чисел. Для дополнительного кода синтез схемы формирования переноса осуществляется несколько по-другому.

Параллельный умножитель с диагональным переносом может быть модифицирован аналогичным образом, как и для умножителя в прямых кодах. На рисунке 5 показан результат проведённого синтеза:

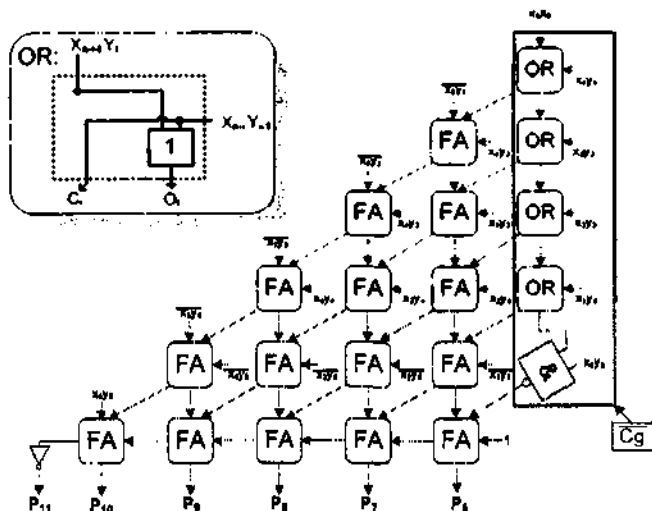


Рис.5. Параллельный умножитель со схемой формирования переноса (Cg) для дополнительного кода.

Как показано на рисунках схема формирования переноса не вносит существенных затрат аппаратуры, в результате параллельный умножитель сокращается в 2 раза как по площади, так и по потребляемой мощности.

При необходимости умножения чисел с большой разрядностью возможно использовать несколько параллельных умножителей малой разрядности:

$$P = X \cdot Y = (X_A + Y_B)(Y_C + Y_D) = X_A Y_C + X_A Y_D + X_B Y_C + X_B Y_D \quad (3.1)$$

Применяя подобное разложение, можно получить умножитель 32 разрядных чисел с задержкой почти равной 16 разрядному умножителю.

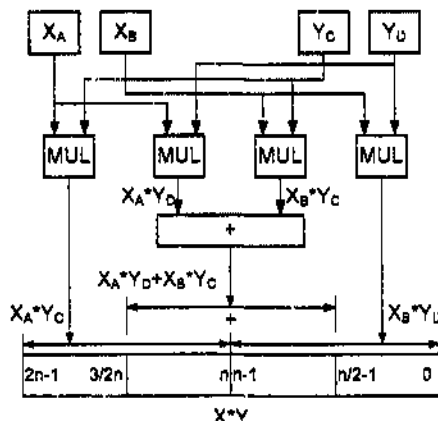


Рис.6. Схема умножителя с уменьшенной разрядностью

2 ЭКСПИРЕМЕНТЫ

Сравним по точности параллельный умножитель с сокращённым и усечённым произведением (рис.6).

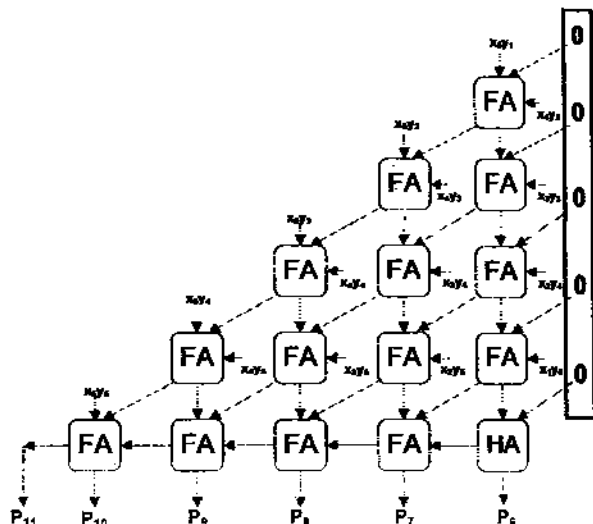


Рис.6. Параллельный усечённый умножитель

ТАБЛИЦА 1

ЭКСПЕРИМЕНТАЛЬНЫЕ ДАННЫЕ

Умножитель		Ошибка	n=4	n=8	n=12	n=16
Прямой код	MP'	ϵ_M	48	1792	45056	983040
	MF		16	512	8192	196608
	MP'	$\bar{\epsilon}$	5,75	322,75	9219,75	212996,8
	MF		0,938	65,04	1570,32	30403,7
	MP'	$R(0.01)$	5,2	3,3	3,4	3,3
	MF		1	1	1	1
Доп. код	MP'	ϵ_M	48	1792	45056	983040
	MF		16	512	8192	196608
	MP'	$\bar{\epsilon}$	13,75	450,75	11267,75	245764,7
	MF		0,938	65,04	1570,32	30403,7
	MP'	$R(0.01)$	12,9	3,7	5,1	7,1
	MF		1	1	1	1

ТАБЛИЦА 2

ПИКОВОЕ ОТНОШЕНИЕ СИГНАЛА К ШУМУ

Ошибка	Умножитель		
	MP'	MF	Ms
PSNR	8,75	19,59	48,91

Пусть MP есть старшая часть продукта умножения (2.3), сформированная по полной матрице сумматоров (рис. 5), FP – продукт умножения по сокращённой схеме – параллельный умножитель с диагональным переносом и схемой формирования переноса (Cg), тогда будем осуществлять анализ следующих ошибок, характеризующих точность параллельных умножителей:

$$\epsilon_M = \max |MP - FP| \quad (3.1)$$

Определяет максимальную абсолютную ошибку для всех входных пар операндов.

$$\varepsilon_R = \frac{|MP - FP|}{MP} \quad (3.2)$$

Формула 3.2 показывает относительную ошибку сокращенного произведения, а средняя ошибка по всем входным парам операндов определяется следующим образом:

$$\bar{\varepsilon} = 2^{-2n} \cdot \left(\sum_m |MP - FP| \right) \quad (3.3)$$

Показывает среднюю ошибку по всем входным парам операндов. Также введём Коэффициент повышения точности умножения $R(0.01)$ - это отношение процента входных пар операндов, для которых относительная ошибка больше 0.01 для параллельных умножителей к такому же проценту входных пар операндов, только для сокращенного параллельного умножителя. Чем больше коэффициент $R(0.01)$, тем точность умножителя меньше.

В таблице 1 показаны результаты сравнения по точности параллельного умножителя (MF) с диагональным переносом и схемой формирования переноса (Cg) и параллельного умножителя с усеченным произведением (MP'), когда старшая часть MP продукта умножения (5) сформирована без участия сумматоров части LP (рисунок 5), т.е. переносы из данной части матрицы сумматоров равнялись нулю.

Анализ данных результатов показывает, что параллельный умножитель с диагональным переносом и схемой формирования переноса (Cg) имеет точность выполнения операции умножения выше.

Параллельный умножитель с диагональным переносом и схемой формирования переноса (Cg) использовался в вейвлет преобразовании для обработки изображения. При этом измерялось пиковое значение отношения сигнала к шуму (PSNR). Под шумом здесь понимается шум обработки, главную составляющую которого обуславливает шум умножителя. Эксперимент проводился для умножителей: MF, MP' и MS - стандартного умножителя с полным произведением (2n бит).



Рис.7. Реконструированное изображение Лена для одного уровня вейвлет преобразования с параллельным умножителем (диагональным переносом (дополнительный код) и схемой формирования переноса (Cg))

На рисунке 7 показано реконструированное изображение Лена для одного уровня вейвлет преобразования с параллельным умножителем с диагональным переносом (дополнительный код) и схемой формирования переноса (Cg). В таблице 2 приведены значения PSNR при данной обработке изображения для соответствующих умножителей. Анализ рисунка 7 и таблицы 2 показывает, что параллельный умножитель с сокращенным произведением и схемой формирования бита переноса дает приемлемые результаты для практики. При этом происходит уменьшение оборудования почти в два раза (соответственно и уменьшается во столько же раз и потребляемая мощность) без потери скорости вычисления и достаточно высокой точности обработки.

3 ЗАКЛЮЧЕНИЕ

В работе проанализирована схема параллельного умножителя с сокращенным произведением, которая характеризуется малыми затратами оборудования (сокращается по сравнению со стандартным параллельным умножителем почти в два раза, что соответственно и уменьшается во столько же раз и потребляемая мощность) и высокой скоростью вычислений и достаточно высокой точностью обработки.

ЛИТЕРАТУРА

- [1] Л.Рабинер, Б.Голд, «Теория и применение цифровой обработки сигналов», издательство «Мир», Москва 1978 г. - 848 стр.
- [2] Карцев М.А., Арифметика цифровых машин, издательство «Наука», Москва 1969 г. - 576 стр.
- [3] Zimmerman R. Computer Arithmetic: Principles, Architectures, and VLSI Design. - Zurich: Integrated Systems Laboratory, 1999.
- [4] Design of Low-Error Fixed-Width Multipliers / Jer Min Jou et al. // IEEE Trans. on Circuits and Systems II. - 1999. - Vol. 46, - №6, - P. 836-842.
- [5] Area-Efficient Multipliers / Kidambi S. et al. // IEEE Trans. on Circuits and Systems II. - 1996. - Vol. 43, N.10, - P. 90-95.
- [6] Design of the Lower Error Fixed-Width Multiplier / Lan-Da Van et al. // IEEE Trans. on Circuits and Systems II. - 2000. - Vol. 47, №10, - P. 1112-1118.
- [7] Strollo A.G.M., Petra N., Napoli E. Fixed-width Multipliers with Dual-tree Error Compensation // Proceedings of the 16th European Conference on Circuit Theory and Design (ECCTD'2003), Cracow, Poland, September 1-3, 2003. - Vol.1. - P. 421-424.
- [8] FPGA Based Real Time Processor for Diagnostic in Order Domain / P. Zubrycki, G. Rubin, A. Piotrowski, M. Ormiejewicz // Proceedings of the 5th National Conference Technical Diagnostic of systems and devices (Diag'2003), Ustron, Poland, October 13-17, 2003. - P. 410-412 (full paper, 10p., CD) (in Polish).
- [9] Lim Y. C. Simple-Precision Multiplier with Reduced Circuit Complexity // IEEE Trans. on Computers. - 1992. - Vol.41, №10. - P. 1333-1336.