

ПРОЕКТИРОВАНИЕ РЕКОНФИГУРИРУЕМОГО ПРОЦЕССОРА ДИСКРЕТНОГО КОСИНУСНОГО ПРЕОБРАЗОВАНИЯ

В. В. Ключеня

Белорусский государственный университет информатики и радиоэлектроники,
кафедра электронных вычислительных средств
П.Бровки 6, г. Минск, 220013, Беларусь
e-mail: lucky_victor@rambler.ru

В данной статье представлена реконфигурируемая архитектура на распределенной арифметике для вычисления ДКП различной размерности. Реконфигурируемость достигается благодаря различному количеству процессорных элементов.

Ключевые слова – ДКП, ПЭ, РА, реконфигурируемый.

1 ВВЕДЕНИЕ

В наше время широко распространены портативные системы мультимедиа реального времени, в которых активно используются стандарты сжатия видео, аудио и изображения, таких как H.261/3/4, MPEG-1/2/4 и JPEG [1]. Основным ядром этих стандартов является дискретное косинусное преобразование (ДКП) – одно из ортогональных преобразований, вариант косинусного преобразования для вектора действительных чисел. Во всех этих стандартах при кодировании используется различная размерность блоков ДКП, например 4x4 ДКП, 8x8 ДКП, 16x16 ДКП, 18x1 ДКП и т. д. Поэтому актуальной задачей становится создание реконфигурируемой архитектуры процессора ДКП, которую можно динамически изменять в зависимости от размерности блоков ДКП. Для реализации реконфигурируемого ДКП процессора будем использовать FPGA, так как по сравнению с ASIC, FPGA является более гибкой, требует меньше времени для разработки и обладает низкой стоимостью.

3 АРХИТЕКТУРА

Для FPGA наибольшее распространение получило вычисление на распределенной арифметике (РА) [2], [3]. В основе РА лежат последовательные побитовые вычислительные операции, осуществление которых позволяет получать выходной результат из пары входных векторов на каждом отдельном этапе вычисления.

Для уменьшения вычислительной сложности разложим 2-уровневое ДКП на два 1-уровневых ДКП. Для реализации 1-уровневого ДКП будем использовать алгоритм Чена (3.1) [4].

$$\begin{aligned} \begin{bmatrix} F(0) \\ F(2) \\ F(4) \\ F(6) \end{bmatrix} &= \frac{1}{2} \begin{bmatrix} A & A & A & A \\ B & C & -C & -B \\ A & -A & -A & A \\ C & -B & B & -C \end{bmatrix} \begin{bmatrix} f(0) + f(7) \\ f(1) + f(6) \\ f(2) + f(5) \\ f(3) + f(4) \end{bmatrix}, \\ \begin{bmatrix} F(1) \\ F(3) \\ F(5) \\ F(7) \end{bmatrix} &= \frac{1}{2} \begin{bmatrix} D & E & F & G \\ E & -G & -D & -F \\ F & -D & -G & E \\ G & -F & E & -D \end{bmatrix} \begin{bmatrix} f(0) - f(7) \\ f(1) - f(6) \\ f(2) - f(5) \\ f(3) - f(4) \end{bmatrix}, \end{aligned} \quad (3.1)$$

где

$$A = \cos \frac{\pi}{4}, B = \cos \frac{\pi}{8}, C = \sin \frac{\pi}{8}, D = \cos \frac{\pi}{16}, E = \cos \frac{3\pi}{16}, F = \sin \frac{3\pi}{16}, G = \sin \frac{\pi}{16}$$

4 АРХИТЕКТУРА ПРОЦЕССОРНОГО ЭЛЕМЕНТА

Вычисления матрицы ДКП на РА очень похоже на процесс фильтрации в банке фильтров [5]. N-точечное ДКП может быть представлено N-ым количеством параллельных КИХ-фильтров. Следовательно, каждый КИХ-фильтр можно представить отдельным процессорным элементом (ПЭ), из которых можно проектировать ДКП процессоры различной размерности. Реализация ПЭ на РА изображена на рис.1 [6]. ДКП коэффициенты имеют разрядность 12 бит. Входные данные ПЭ имеют разрядность 13 бит. Используется 13 сдвиговых регистров (RS) в каждом ПЭ для распараллеливания процесса вычисления скалярного произведения векторов. Каждый RS имеет 4-бита на входе, т. е. по 1-у биту на x1_in, x2_in, x3_in и x4_in. На пример, RS0 принимает MSB(старший бит), RS12 принимает LSB(младший бит). Однако, 1-уровневое ДКП может быть выполнено в одном цикле. В результате из каждого ПЭ мы получаем 12-битные ДКП коэффициенты. RS состоит из 4-х исключаящих ИЛИ, 1-ого ROM из 8-слов, 1-ого сумматора, 1-ого сдвигового регистра и 1-ого регистра начального состояния. Содержание ROM и начальное состояние регистра показано на рис.1.

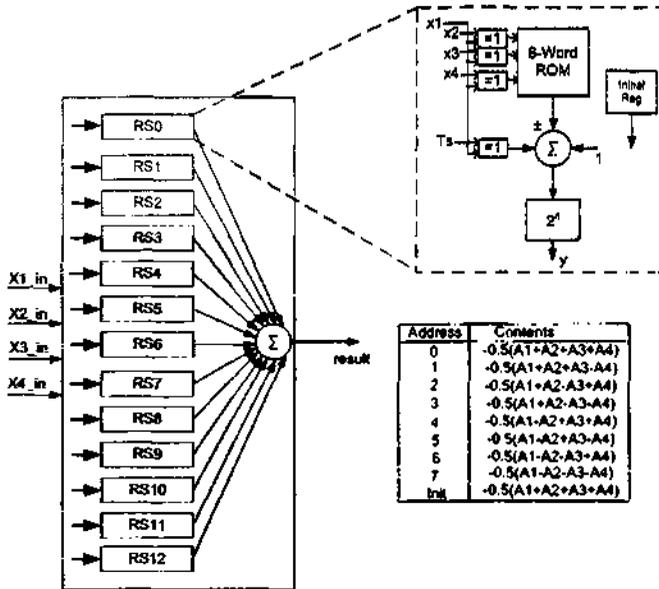


Рис.1. Архитектура процессорного элемента (ПЭ)

A_1, A_2, A_3 и A_4 – это 4-е значения, которые могут быть получены из каждой строки матрицы коэффициентов уравнения (3.1).

5 АРХИТЕКТУРА ПРОЦЕССОРА ДКП

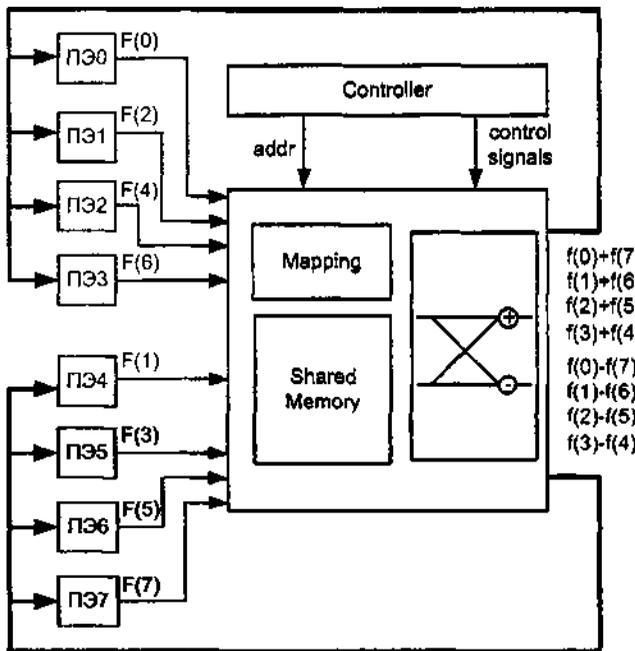


Рис.2. Архитектура реконфигурируемого ДКП

За основу возьмем наиболее распространенное 8-точечное ДКП и получим архитектуру динамически реконфигурируемого процессора ДКП (рис.2) из 8-и процессорных элементов ПЭ0, ПЭ1, ПЭ2, ПЭ3, ПЭ4, ПЭ5, ПЭ6, ПЭ7. ПЭ можно удалять или добавлять для получе-

ния ДКП требуемой размерности. На пример, для вычисления 4x4 ДКП коэффициентов требуется сконфигурировать ПЭ0, ПЭ1, ПЭ4 и ПЭ5. Далее для 8x8 ДКП коэффициентов требуется добавить ПЭ2, ПЭ3, ПЭ6 и ПЭ7.

Контроллер (controller) используется для генерации адресов, сигналов управления для вызова данных и назначения данных. Общая память(shared memory), модуль отображения данных (mapping), бабочка суммы/вычитания объединены вместе. Блок mapping читает данные из памяти и записывает данные в память согласно адресам, сигналы управления генерируются модулем управления. Бабочка суммы/вычитания выполняет операцию суммирования или вычитания генерируемых входных данных из ПЭ.

6 ЗАКЛЮЧЕНИЕ

В этой статье представлены масштабируемые ДКП вычисления, используя динамическую реконфигурируемость. В основу архитектуры ДКП вычисления была заложена распределенная арифметика. Используя динамическую реконфигурируемость, элементы преобразования ДКП архитектуры могут изменяться на лету, включая число ПЭ и внутреннюю логику самого ПЭ.

ЛИТЕРАТУРА

- [1] K.R. Rao and J.J. Hwang, Techniques and Standards for Image, Video and Audio Coding, Englewood Cliffs, NJ: Prentice-Hall, 1996.
- [2] Stanley A. White, "Applications of Distributed Arithmetic to Digital Signal Processing: A Tutorial Review", IEEE ASSP Magazine, July 1989.
- [3] В. В. Ключеня "Реализация процессора дискретного косинусного преобразования на распределенной арифметике", XIII Международная научно-техническая конференция "Современные средства связи", с.147, 23-26 сентября 2008, Нарочь, Беларусь.
- [4] W. H. Chen, C. Smith, and S. Fralick, "A fast computation algorithm for the discrete cosine transform." IEEE Transactions on Communications, vol. 25, pp. 1004-1009, 1977.
- [5] S. Khawam, "Efficient Implementations of Mobile Video Computations on Domain-Specific Reconfigurable Arrays", DATE'2004.
- [6] Петровский А. А., А. Е. Новиков, Д. А. Машеров, М. И. Вашкевич "Проектирование ЭВС с динамически реконфигурируемой архитектурой"// Лабораторный практикум для студентов специальности I-40 02 02 дневной формы обучения – Минск 2008.