

БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

ФАКУЛЬТЕТ РАДИОФИЗИКИ И ЭЛЕКТРОНИКИ

Кафедра информатики

СМЕШАННОЕ ЛОГИКО- СХЕМОТЕХНИЧЕСКОЕ МОДЕЛИРОВАНИЕ

**Методические указания
к лабораторной работе по спецкурсу
“Автоматизация проектирования в электронике”
для студентов специальности Н.02.03.00
“Физическая электроника”**

**МИНСК
2001**

УДК 621.396.6(076.5)

ББК 32.884р.я73

С50

Автор – составитель
кандидат технических наук **И. М. Шевкун**

Рецензент
кандидат технических наук, доцент *В. С. Садов*

Утверждено на заседании кафедры информатики
4 мая 2001 г., протокол № 9

Смешанное логико-схемотехническое моделирование:
С50 Методические указания к лабораторной работе / Авт.-сост.
И. М. Шевкун. – Мн.: БГУ 2001. – 23 с.

Рассматриваются методы подготовки и смешанного логико-схемотехнического моделирования электрических схем.

Предназначено для студентов 4-5 курсов факультета радиофизики и электроники БГУ.

УДК 621.396.6(076.5)
ББК 32.884р.я73

© БГУ, 2001

ВВЕДЕНИЕ

Одной из особенностей современного этапа развития электроники является широкое использование цифровых методов обработки аналоговых сигналов. Для решения таких задач промышленностью выпускается обширная номенклатура микросхем, содержащих как аналоговые, так и цифровые блоки. Проектирование таких схем имеет ту особенность, что в процессе их моделирования необходимо в рамках единого процесса анализировать взаимодействующие друг с другом цифровые и аналоговые блоки. Моделирование такой схемы целиком методами функционально–логического моделирования оказывается слишком грубым для аналоговой части, а методами схемотехнического моделирования – излишне точным и слишком трудоемким для логической части. Поэтому каждая часть схемы моделируется методами, обеспечивающими примерно одинаковый порядок точности: цифровая часть – методами логического моделирования, а аналоговая часть – методами схемотехнического моделирования [1].

Целью работы является использование САПР DesignLab, имеющей в своем составе программу PSpice, позволяющей выполнять смешанное логико–схемотехническое моделирование, для графической подготовки схем, содержащих как аналоговые, так и цифровые блоки, и проведения анализа переходных процессов в таких схемах.

1. СМЕШАННОЕ ЛОГИКО – СХЕМОТЕХНИЧЕСКОЕ МОДЕЛИРОВАНИЕ

1.1. ОБЩИЕ ПОЛОЖЕНИЯ

Математическое моделирование электронной схемы представляет собой замену электронной схемы ее математической моделью и исследование в дальнейшем электронной схемы на модели. В случае логического моделирования электронной схемы математической моделью схемы (ММС) является система логических уравнений, представляющих собой совокупность математических моделей компонентов схемы. При этом одной логической переменной описываются входы и выходы компонентов, объединенные единой связью (узел схемы). В общем виде математическую модель схемы можно записать [2]

$$V' = F(V, U), \quad (1)$$

где U - вектор входных переменных, V - вектор выходных и внутренних переменных в момент времени t , V' - вектор выходных и внутрен-

них переменных схемы в момент времени $t'=t+\Delta t$, F - оператор преобразования дискретных переменных.

Переменные в векторах U и V – дискретные величины. При логическом моделировании применяются модели с разным количеством возможных значений переменных (разной значности). В двухзначных моделях U и V – булевы переменные. При этом один из электрических уровней (как правило низкий) принимается за 0, а другой (обычно высокий) – за 1. Переход сигнала из одного состояния в другое считается мгновенным.

Достаточно часто привлекаются трехзначные модели, где 0 и 1 имеют обычный смысл, а третье значение (X) обозначает либо переход из одного состояния в другое, либо неопределенное состояние. В пятизначных моделях четвертое значение (H) обозначает переход из 0 в 1, а пятое значение (L) – переход из 1 в 0. Если моделируемое устройство содержит компоненты, переключаемые в высокоимпедансное состояние, приходится вводить еще одно значение, обозначаемое Z . Представляют интерес и модели с большей значностью.

При логическом моделировании используются функциональные модели компонентов. Функциональная модель представляется в виде “черного ящика”, для которого связь между входными и выходными сигналами задается в виде булевых уравнений, либо таблиц истинности. В таких моделях внутренняя структура компонента не рассматривается. Простейшими моделями комбинационных логических элементов – схем И, ИЛИ, НЕ и других, являются реализуемые ими соответствующие булевы функции. При многозначном моделировании модель компонента задается с помощью многозначной таблицы истинности. В моделях, учитывающих временные задержки, задаются величины задержек сигнала при переключении компонентов.

Схемотехническое (электрическое) моделирование представляет собой моделирование электрических процессов в электронных устройствах, обычно изображаемых в виде принципиальных электрических схем, т.е. соединений условных обозначений элементов схемы (транзисторов, диодов, резисторов, конденсаторов и т.д.). Схемотехническое моделирование учитывает реальные физические ограничения в электрических процессах – законы сохранения. Этим оно отличается от логического моделирования, при котором рассматриваются только информационные потоки в схеме. Упомянутые ограничения описываются первым и вторым законами Кирхгофа, которые вытекают из законов сохранения заряда и энергии и называются обычно законами

электрического равновесия [1]. Необходимость выполнения этих законов в каждой расчетной точке требует решения соответствующих уравнений электрического равновесия.

В связи с этим в математическую модель электронного устройства входят не только модели отдельных элементов, но и уравнения электрического равновесия, составляемые на основе законов Кирхгофа и называемые обычно топологическими уравнениями. Уравнения отдельных элементов схемы называются компонентными. Таким образом, математическая модель в общем случае состоит из двух подсистем уравнений – компонентной и топологической.

Более высокая степень строгости описания электронных схем при схемотехническом моделировании позволяет получить более точные сведения о процессах в схеме по сравнению с логическим моделированием. Платой за это служит увеличение времени моделирования из-за необходимости решения уравнений равновесия.

Во многих современных программах схемотехнического моделирования используется базис узловых потенциалов φ . Исходная модель схемы имеет при этом вид

$$\vec{I}(\vec{\varphi}) = 0, \quad (2)$$

где $\vec{I}$ - вектор узловых токов, включающий токи во всех ветвях схемы, $\vec{\varphi}$ - вектор узловых потенциалов, включающий потенциалы во всех узлах за исключением одного, опорного, потенциал в котором полагается равным нулю. Выражение (2) является топологической системой уравнений схемы. Для получения окончательной системы уравнений, которую следует решать, нужно дополнить систему (2) компонентными уравнениями для всех элементов, присутствующих в схеме. Каждое такое уравнение связывает ток, текущий через компонент, с разностью потенциалов на выводах компонента. Так, например, ток, текущий через конденсатор, равен

$$I_{ij}^{(c)} = C \frac{d(\varphi_i - \varphi_j)}{dt} \quad (3)$$

что, после подстановки в (2) приводит к системе обыкновенных дифференциальных уравнений. Решением последней являются потенциалы в узлах схемы как функции времени t .

Таким образом, в обоих случаях решается временная задача. Необходимо лишь согласовать ее решение в местах связи логической и электрической частей схемы. Основными моментами такого согласования являются переход от логических переменных к электрическим и

наоборот, а также согласование временных шкал (модельного времени) для программ логического и схемотехнического моделирования.

1.2. ЦИФРО – АНАЛОГОВЫЙ ИНТЕРФЕЙС

Для совмещения логического и схемотехнического моделирования в одном вычислительном процессе необходимо иметь соотношения, позволяющие в любой момент времени связать электрические переменные с логическими переменными. Для этого, учитывая однонаправленность логической модели, достаточно иметь соотношения двух типов.

Соотношения первого типа называют электро – логическими (аналого – цифровыми) функциями (аргумент – электрическая величина, функция – логическая). Обычно это кусочные функции порогового типа. Они ставят в соответствие величинам электрических переменных на входе логической модели значения входных логических переменных.

Соотношения второго типа можно назвать логико – электрическими (цифро – аналоговыми) функциями. Они ставят в соответствие значениям выходных логических переменных величины электрических переменных.

Функции первого типа включаются между аналоговой частью схемы и входами цифровой части, функции второго типа – между выходами цифровой части схемы и аналоговой частью.

1.3. СОГЛАСОВАНИЕ ВРЕМЕННЫХ ШКАЛ

В отличие от достаточно простых правил согласования разнотипных переменных вопрос о согласовании модельного времени логической и схемотехнической модели более сложен. Этот вопрос возникает потому, что процессы в цифровой и аналоговой частях схемы фактически протекают одновременно, тогда как модели этих частей из-за различий математического аппарата рассчитываются порознь. При этом предполагается, что при моделировании на интервале Δt одной части схемы другая часть на этом интервале не функционирует, хотя на самом деле из-за одновременности протекания процессов это допущение неверно.

Например, изменение электрических переменных при моделировании аналоговой части может вызвать изменение логических переменных на входе и, значит, выходе логической модели, поэтому моделирование на интервале Δt аналоговой части в предположении постоянства действующих на ее входе (см. рис.1) логических u_L и соответствующих



Рис. 1

электрических переменных $x_э$ будет некорректным. Отметим, что на этом рисунке показано параллельное включение аналоговой и цифровой частей схем, где отмеченная проблема наиболее актуальна.

Очевидным решением вопроса является поочередное моделирование на одном и том же интервале Δt_n сначала одной части схемы при постоянстве воздействия другой и затем наоборот, т. е. расчет сначала $y_л (t_n + \Delta t_n)$ при постоянном $y_э = y_э (t_n)$ и соответственно $x_л = x_л (t_n)$, а затем расчет $y_э (t_n + \Delta t_n)$ при постоянном $y_л = y_л (t_n)$ и соответственно $x_э = x_э (t_n)$. Если на интервале Δt_n значения $x_л$ и $y_л$ не изменяются, то шаг Δt_n принимается, если же изменяются, то нужно уменьшить шаг Δt_n так, чтобы момент $t + \Delta t_n$ совпал с моментом изменения логических переменных. После этого новый шаг Δt_{n+1} начинается при новых значениях логических переменных.

Обычно в схемотехнической и логической моделях работают разные правила определения очередного шага Δt . В схемотехнической модели он переменный, равный шагу h решения дифференциальных уравнений, и может меняться в широких пределах, в логических моделях шаг постоянный, равный выбранному микротакту T_M при асинхронном моделировании или заданному такту T при синхронном тактовом моделировании. Поскольку варьирование шага допускается

только в схемотехнической модели, будем считать, что $\Delta t = h$, причем h может превосходить или быть меньше T_M или T .

Из предыдущего ясно, что шаг h при электро-логическом моделировании оказывается ограниченным не только традиционными сообщениями точности расчета переходных процессов, но и условиями постоянства логических переменных $x_{\text{л}}$ и $u_{\text{л}}$ на данном шаге. При этом постоянство $x_{\text{л}}$ легко определить из условия $x_{\text{л}}(t_n + h_n) = \psi(u_{\text{л}}(t_n))$, где ψ - электро-логическая функция, а для определения постоянства $u_{\text{л}}$ нужно промоделировать на том же интервале h_n цифровую часть схемы. При этом возможны три случая.

1. Если на интервале h_n все переменные $x_{\text{л}}$ и $u_{\text{л}}$ постоянны, то выполняется следующий шаг h_{n+1} .

2. Если на интервале h_n переменные $x_{\text{л}}$ меняются, а $u_{\text{л}}$ – постоянны или наоборот, то фиксируется момент t_k изменения $x_{\text{л}}$ или $u_{\text{л}}$ и аналоговая часть схемы рассчитывается заново от точки t_n до точки t_k . Точка t_k является начальной для следующего шага h_{n+1} , при этом если изменялось $x_{\text{л}}$, то цифровая часть моделируется с учетом новых значений $x_{\text{л}}(t_k)$, а если изменялось $u_{\text{л}}$, то аналоговая часть моделируется с учетом новых значений $x_{\text{з}} = \varphi(u_{\text{л}}(t_k))$.

3. Если меняются как $x_{\text{л}}$, так и $u_{\text{л}}$, нужно уменьшать шаг h_n до тех пор, пока один из типов переменных станет постоянным, после чего выполняются действия по соответствующему, описанному выше правилу.

Очевидно, если инерционность логической модели не учитывается, то изменение $u_{\text{л}}$ будет одновременным с изменением $x_{\text{л}}$ и моделировать цифровую часть нужно не на каждом интервале h_n , а лишь в случае изменения $x_{\text{л}}$, устанавливаемого по результатам схемотехнического моделирования.

Изложенного ясно, что при электро-логическом моделировании целесообразно ввести в программе некоторую общую временную шкалу – календарь событий, происходящих в аналоговой и цифровой частях схемы. На этой шкале нужно отмечать после каждого шага h моделирования аналоговой части и после каждого такта T моделирования цифровой части моменты появления всех событий, связанных с изменением $u_{\text{з}}$ и $u_{\text{л}}$ или, что то же, $x_{\text{л}}$ и $x_{\text{з}}$. Шаг интегрирования дифференциальных уравнений в схемотехнической модели или микротакт моделирования T_M в логической модели (в случае логического моделирования с переменным микротактом) должны определяться не только исходя из точности моделирования внутри каждой модели, но прежде всего

с учетом событий, зафиксированных на общей временной шкале-календаре.

Рассмотренные принципы электро-логического моделирования остаются справедливыми не только когда цифровая часть – единое устройство, целиком моделируемое на логическом уровне, но и в случае распределенной цифровой части, когда на логическом уровне моделируются отдельные, непосредственно не связанные между собой элементы схемы. В этом случае каждый моделируемый на логическом уровне элемент схемы вносит свои отметки на шкале-календаре событий, однако при изменении x_d пересчитываются логические части не всех элементов, а только тех, на входе которых произошло изменение x_d , при изменении же u_d пересчитывается вся схмотехническая модель, поскольку эта модель описывается общей системой дифференциальных уравнений.

2. МОДЕЛИРОВАНИЕ ЦИФРО – АНАЛОГОВЫХ СХЕМ В РАМКАХ СИСТЕМЫ DesignLab 7.1

Основу САПР DesignLab составляет программа SPICE (Simulation Program with Integrated Circuits Emphasis) – одна из наиболее известных и распространенных программ схмотехнического моделирования. Она была разработана в начале 70-х годов в Калифорнийском университете и оказалась очень удачной. С тех пор она интенсивно развивалась и де-факто стала неофициальным промышленным стандартом программ такого рода. Первая версия этой программы для IBM PC, PSpice, создана фирмой MicroSim в 1984 году. Эта и последующие версии используют те же алгоритмы, что и SPICE, тот же формат представления входных и выходных данных [3].

Первоначально программа PSpice была предназначена для моделирования чисто аналоговых устройств. В версии Pspice 3.05 появилась возможность логического моделирования цифровых устройств и интерфейса между аналоговыми и цифровыми компонентами. Однако при этом аналоговые и цифровые блоки должны были располагаться последовательно. Сначала, например, моделируется аналоговый блок, результаты расчетов оцифровываются и записываются в файл, который передается в отдельную программу логического моделирования цифрового устройства, и наоборот. Начиная с версии 4 программа PSpice обеспечивает принципиально новую возможность моделирования произвольных смешанных аналого-цифровых цепей с обратными связями,

которые, в частности, могут состоять только из цифровых устройств и не содержать аналоговых блоков. Обычно смешанные цепи моделируются в режиме TRAN (расчет переходных процессов), однако другие виды анализа также доступны. В режиме DC (многовариантный расчет схемы по постоянному току) задержки сигналов в цифровых блоках игнорируются и рассчитываются логические уровни выходов цифровых устройств в стационарном режиме. В режимах AC (расчет характеристик в частотной области), NOISE (анализ внутреннего шума), TF (расчет малосигнальных передаточных функций) и SENS (чувствительность в режиме малого сигнала) цифровые компоненты не участвуют в анализе малосигнальных частотных характеристик цепи, лишь для аналоговых частей аналого-цифровых и цифроаналоговых интерфейсов составляются линеаризованные схемы замещения их входных и выходных комплексных сопротивлений.

Реальные цифровые ИС в программе PSpice представлены в виде примитивов Uxxx, отражающих их функционирование на логическом уровне, и двух аналого – цифрового и цифро – аналогового интерфейсов А/Ц и Ц/А, отображающих их входные и выходные каскады. В задании на моделирование указываются только примитивы цифровых устройств Uxxx. Если при этом цифровые ИС соединяются непосредственно друг с другом, то блоки интерфейсов во внимание не принимаются. Если же ко входу или выходу ИС подключен аналоговый компонент, то необходимо включить соответствующий интерфейс. В принципе они могут быть вручную включены в описание задания на моделирование как отдельные компоненты, однако программа PSpice делает это автоматически.

Итак, смешанные аналого-цифровые цепи состоят из компонентов трех типов: 1) аналоговые компоненты; 2) устройства сопряжения аналоговых и цифровых компонентов (устройства интерфейса); 3) цифровые компоненты (примитивы).

Соответственно различают три типа узлов: 1) аналоговые узлы, к которым подключены только аналоговые устройства; 2) цифровые узлы, к которым подключены только цифровые устройства; 3) узлы интерфейса, к которым подключена комбинация аналоговых и цифровых устройств. Программа PSpice автоматически расщепляет каждый узел интерфейса на два узла - чисто аналоговый и чисто цифровой - и включает между ними макромодель (подсхему) аналого-цифрового или цифро-аналогового интерфейса. Кроме того, к моделям интерфейсов автоматически подключается источник питания цифровых схем.

2.1. АНАЛОГО – ЦИФРОВОЙ ИНТЕРФЕЙС

Аналого-цифровые интерфейсы предназначены для преобразования аналогового напряжения в логический уровень. Они имитируют входные каскады цифровых ИС. Их схема содержит устройство преобразования аналогового сигнала в логический уровень (элемент схемы, имя которого начинается с буквы О), имеющий собственные сопротивление и емкость, и другие элементы (резисторы, конденсаторы, диоды, транзисторы), позволяющие достаточно точно описать схемотехнические особенности функционирования входных каскадов цифровой схемы и тем самым достаточно правильно описать их влияние на аналоговую часть схемы. На рис. 2 приведена схема интерфейса логических ИС серии 74 (отечественный аналог серия 155).

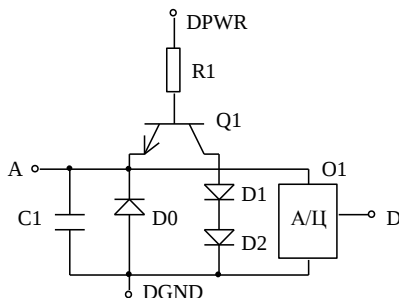


Рис. 2

Здесь А – аналоговый вход интерфейса, D – цифровой выход, DPWR и DGND – цепи питания цифровой части схемы, О1 – устройство аналого-цифрового преобразования.

2.2. ЦИФРО – АНАЛОГОВЫЙ ИНТЕРФЕЙС

Цифро-аналоговый интерфейс предназначен для преобразования логического уровня выходных сигналов цифровых компонентов в аналоговое напряжение. Для этого используется элемент схемы, имя которого начинается с буквы N. Подсхема, содержащая такой элемент, включается на входе аналоговых компонентов, соединенных с выходом цифровой схемы. Аналоговое напряжение образуется с помощью источника опорного напряжения и делителя на резисторах (рис.3), сопротивления которых изменяются программно в соответствии логическим уровнем цифрового сигнала. Здесь А – аналоговый выход, DPWR и DGND – цепи питания цифровой части схемы.

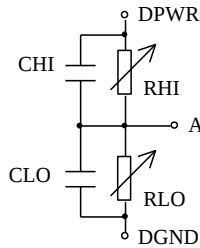


Рис. 3

Цифро-аналоговый интерфейс логических ИС серии 74 содержит единственный элемент – устройство цифро-аналогового преобразования.

2.3. МОДЕЛЬ ВХОД/ВЫХОД

Модель вход/выход вместе с А/Ц и Ц/А макромоделями определяет интерфейсные характеристики цифрового элемента. Она содержит входную и выходную емкости элемента, его выходные сопротивления, имена 8 макромоделей аналого-цифрового и цифро-аналогового интерфейсов. Последние сгруппированы в 4 группы, которые пользователь может выбрать по своему усмотрению. Для цифровых элементов серии 74, которые используются для моделирования схем, приведенных в настоящем пособии, в первую группу, используемую по умолчанию, входят модели “AtoD_STD” (А/Ц интерфейс) и “DtoA_STD” (Ц/А интерфейс). В обоих этих интерфейсах применяются достаточно точные модели преобразования сигналов, учитывающие не только нулевое и единичное состояния цифрового элемента, но и передний и задний фронты и неопределенное состояние. Во второй группе присутствуют модели “AtoD_STD_NX” и “DtoA_STD”. Здесь модель А/Ц интерфейса существенно проще. Она учитывает лишь нулевое и единичное состояния элемента. Модели третьей группы совпадают с моделями первой, модели четвертой – с моделями второй.

2.4. ГРАФИЧЕСКАЯ ПОДГОТОВКА СХЕМЫ И ЕЕ МОДЕЛИРОВАНИЕ

Подготовка схемы состоит в размещении на поле рисунка условно-графических изображений всех компонентов схемы и нанесении проводов, соединяющих выводы компонентов. После загрузки графредактора Schematics он находится в режиме подготовки схемы. По ко-

манде **Draw/Get New Part** выбираем компонент и наносим его на рисунок. Внешний контур компонента указывает его геометрические размеры, что облегчает правильное взаимное расположение компонентов. По команде **Draw/Wire** рисуем провода. Для этого подводим курсор к выводу компонента или к уже имеющемуся проводу, нажатием левой клавиши мыши отмечаем начало проводника и далее проводим его до другого вывода компонента или другого проводника. Все изломы выполняются одинарным нажатием левой клавиши мыши. Прокладка данного проводника завершается либо на свободном выводе компонента, либо на другом проводе. Нельзя вести проводник через выводы компонентов или незавершенные провода, т.к. это приводит к соединению их друг с другом. Двойным нажатием левой клавиши или одинарным нажатием правой клавиши завершаем ввод всех проводов. Электрическое соединение пересекающихся проводников отмечается точкой.

Схемное обозначение компонента и его номинал редактируются двойным нажатием левой клавиши на соответствующем тексте. Появляется текстовое окно, в котором указывается новое обозначение или номинал. Следует отметить, что при нанесении компонента на схему его обозначение проставляется автоматически в соответствии с принятыми в системе правилами. Поэтому не следует изменять обозначения элементов без особой необходимости. Однако его можно переместить в другое место чертежа, предварительно выделив соответствующий текст.

Для облегчения дальнейшего анализа результатов моделирования удобно нанести на схему маркеры, которые отмечают те величины, графики которых будут строиться программой **Probe**. Так, например, по команде **Mark Voltage/Level** помечается узел, потенциал которого следует отобразить в графическом виде. Этим маркером помечаются и узлы в которых присутствует логический уровень. Если нужно отметить разность потенциалов двух узлов, используется команда **Mark Voltage Differential**. Ток, текущий через вывод компонента, помечается командой **Mark Current into Pin**.

Директивы моделирования задаются по команде **Analysis/Setup**. В раскрывшемся меню выбирают нужный вид анализа, помечая его в графе **Enabled**, и щелчком мыши по кнопке с именем вида анализа раскрывают меню задания параметров моделирования. Расчет переходных процессов выполняется по директиве **Transient**. Ее параметрами являются **Print Step** (шаг вывода данных), **Final Time** (конечное

время), **No-Print Delay** (начальный момент времени вывода данных), **Step Ceiling** (максимальный шаг). Переходные процессы всегда рассчитываются с момента времени $t=0$ до момента “конечное время”. Перед началом расчета переходных процессов рассчитывается режим по постоянному току. Шаг интегрирования выбирается автоматически. Результаты вычислений выводятся в виде таблиц или графиков с интервалом времени, задаваемым параметром “шаг вывода данных”. Если задан параметр “начальный момент времени вывода данных”, то вывод начинается с этого момента. Максимальное значение шага интегрирования устанавливается параметром “максимальный шаг”. Если он не указан, то максимальный шаг берется равным “конечное время”/50.

Многовариантный анализ выполняется с помощью директивы **Parametric**. Для этого номинал одного или нескольких элементов схемы (например, резисторов или конденсаторов) задается в виде {имя}, на схему наносится элемент “PARAM”, двойным щелчком мыши раскрывается его диалоговое окно, в котором упомянутое имя заносится в графу “NAME1” и номинал элемента в графу “VALUE1”. В диалоговом окне директивы **Parametric** помечаем пункт “Global Parameter”, выбираем закон изменения параметра (Sweep Type), в окне “Name” указываем имя параметра и определяем начальное и конечное значения параметра и приращение. Эти значения отменяют номинал элемента, заданный через графу “VALUE1”.

По директиве **Digital Setup** выбираем вариант аналого-цифрового интерфейса (Default A/D Interface) и начальную установку триггеров (Flip-Flop Initialization), если они есть в схеме.

Моделирование выполняется по команде **Analysis/Simulate**. При этом появляется информационное окно, в которое выводится текущее состояние процесса моделирования.

2.5. АНАЛИЗ И ОБРАБОТКА РЕЗУЛЬТАТОВ МОДЕЛИРОВАНИЯ

Результаты моделирования, полученные программой PSpice, записываются в файлы данных (имеют расширение .txt и .dat). Файлы первого типа содержат информацию в текстовом виде. Файлы второго типа используются для передачи информации в программу графической обработки результатов **Probe**. Эта программа не только строит графики полученных результатов, но и может выполнять их обработку, включая сложные арифметические и алгебраические вычисления, взятие

интегралов, преобразование Фурье, измерение параметров импульсов, частотных характеристик и т.п.

Программа загружается автоматически после завершения моделирования. В окне программы отображаются графики тех величин, которые были отмечены маркерами. Лишние графики можно убрать, поместив имя соответствующей переменной, отображенной под осью X, и нажав клавишу Delete. Добавить график можно выполнив команду **Trace/Add** и выбрав переменную из списка переменных (левое окно). В правом окне приведен список функций, доступных при обработке результатов расчетов. По команде **Plot/X Axis settings** можно изменить параметры оси X. Параметры оси Y изменяются по команде **Plot/Y Axis settings**. Координаты точек на графиках считываются с помощью двух курсоров, выводимых по команде **Tools/Cursor/Display**. В дополнительном окне отображаются текущие координаты обоих курсоров и расстояние между ними по двум осям координат.

При моделировании аналого-цифровых схем окно программы разделяется по вертикали на две части. В верхней части отображается временная диаграмма цифровой части схемы, в нижней – переходные процессы в аналоговой части схемы.

3. ЗАДАНИЯ ДЛЯ САМОСТОЯТЕЛЬНОЙ РАБОТЫ

В предлагаемых заданиях следует использовать следующие элементы схемы:

- inv – инвертор;
- nand – логический элемент 2 И – НЕ;
- or – логический элемент 2 ИЛИ;
- d_tr – Д триггер;
- LM324 – операционный усилитель;
- D1N4002 – диод.

При моделировании всех предложенных схем следует выбирать второй вариант аналого-цифрового интерфейса, т.к. первый вариант во многих случаях приводит к появлению сообщений об ошибках.

3.1. Выполнить анализ переходных процессов в генераторах импульсов (рис. 4 – 7). Определить размах и период колебаний, частоту и спектральный состав выходного сигнала. Выходной сигнал снимать в точке А. Найти зависимость частоты колебаний от номиналов резисторов и конденсаторов. Номиналы изменять линейно. Начальное значение указано на схеме, максимальное – в десять раз больше, шаг равен

начальному значению. Изменяя номиналы резисторов и конденсаторов определить предельную частоту генерации.

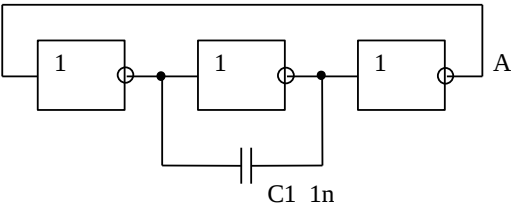


Рис. 4

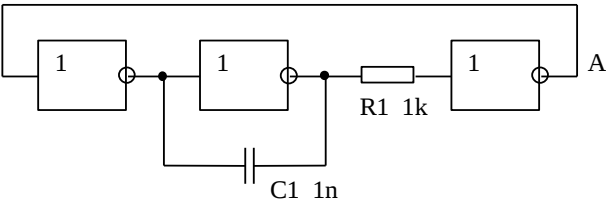


Рис. 5

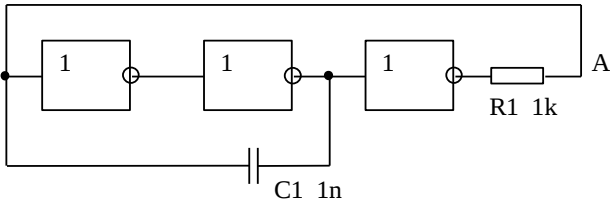


Рис. 6

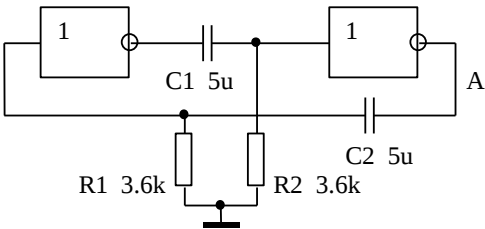


Рис. 7

3.2. Выполнить анализ переходных процессов в мультивибраторах (рис. 8 – 10). Определить размах и период колебаний, частоту и спектральный состав выходного сигнала. Выходной сигнал снимать в точке А. Найти зависимость частоты колебаний от номиналов резисторов и конденсаторов. Номиналы изменять линейно. Начальное значение указано на схеме, максимальное – в десять раз больше, шаг равен начальному значению. Изменяя номиналы резисторов и конденсаторов определить предельную частоту генерации.

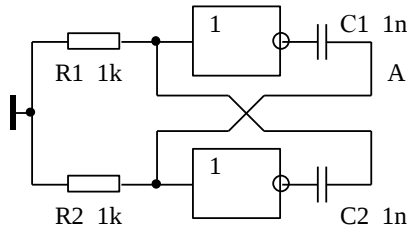


Рис. 8

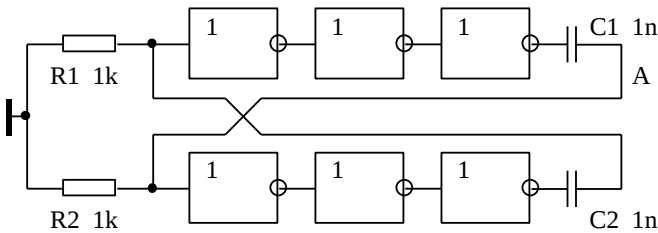


Рис. 9

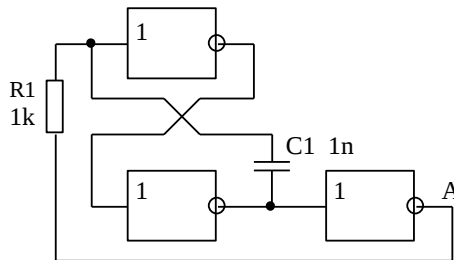


Рис. 10

3.3. Выполнить анализ переходных процессов в ждущем мультивибраторе (рис. 11). На вход А подать цифровой сигнал, информацию снимать в точке В. Определить зависимость длительности импульса от величины резистора R1 (интервал изменения 0,5 – 2 кОм) и емкости конденсатора C1 (интервал изменения 1 нФ – 100 нФ). Из схемы исключить инвертор, соединенный с конденсатором C1, к левому выводу конденсатора подключить генератор трапецеидальных импульсов. Определить с точностью 10 мВ чувствительность мультивибратора при длительности переднего фронта сигнала 1 мксек. С точностью до 10 мксек определить максимальную длительность переднего фронта сигнала при минимальном напряжении сигнала 0 В, максимальном напряжении – 3 В.

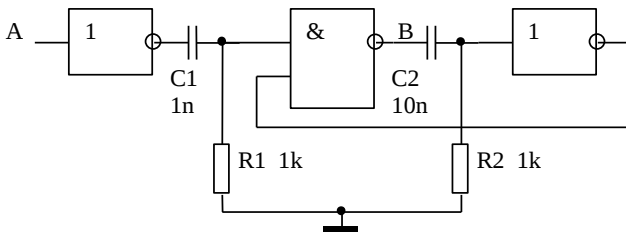


Рис. 11

3.4. Выполнить анализ переходных процессов в триггере Шмитта (рис. 12). Ко входу подключен генератор синусоидального сигнала (частота 1 кГц, амплитуда 5 В). Определить входное напряжение U1, переводящее триггер в состояние с высоким выходным напряжением, и напряжение U2, возвращающее его в состояние с низким выходным напряжением ($U1 > U2$). Изучить влияние резисторов R1 и R3 на эти параметры триггера. Выбрать номиналы этих резисторов так, чтобы напряжение U1 было минимальным и разница между ними тоже была минимальной (но не менее 10 мВ).

3.5. Выполнить анализ переходных процессов в схемах выделения переднего (рис. 13) и заднего (рис. 14) фронтов импульса. Ко входу подключен генератор импульсов трапецеидальной формы ($V1=0$; $V2=5$; $TR=1\mu$). Исследовать влияние величины резистора R1 на длительность выходного импульса при $C1=1n$ и $C1$ при $R1=1k$. Найти пределы изменения обоих этих элементов схемы. Найти чувствительность схем с точностью до 10 мВ. Рассмотреть работу схем при подключении ко входу генератора синусоидального сигнала.

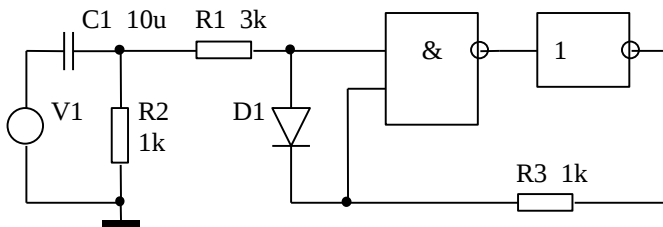


Рис. 12

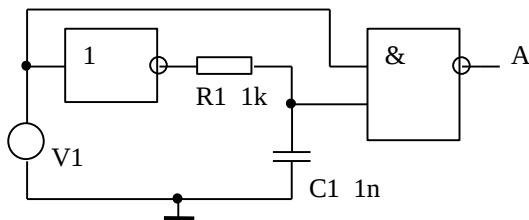


Рис. 13

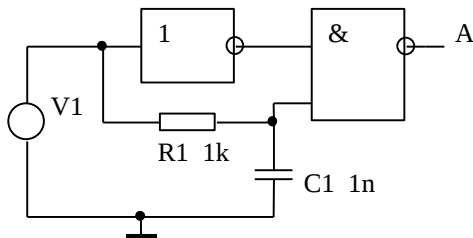


Рис. 14

3.6. Выполнить анализ переходных процессов в схеме удвоителя частоты импульсов (рис. 15). Ко входу А подключить генератор цифрового сигнала частотой 20 кГц. Выходной сигнал снимать в точке В. Найти предельную частоту входных импульсов при указанных на схеме номиналах резисторов и конденсаторов. Исследовать их влияние на предельную частоту. Исключить из схемы входной инвертор, вместо него подключить генераторы синусоидального или трапецеидального сигналов. Исследовать поведение схемы в этом случае.

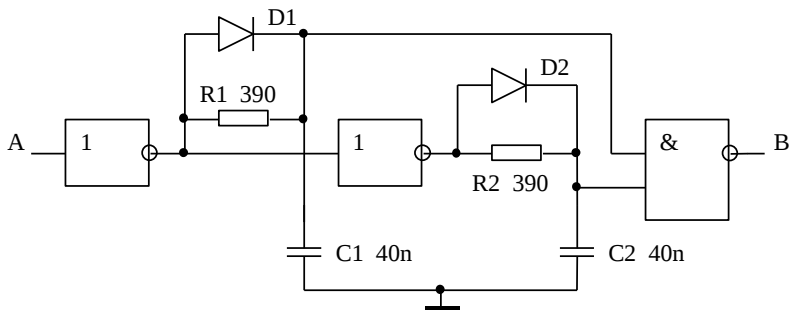


Рис. 15

3.7. Выполнить анализ переходных процессов в схемах генераторов ступенчатого напряжения (рис. 16, 17). На вход схемы (вход С) первого триггера подать цифровой сигнал. Выходной сигнал снимать с выхода операционного усилителя. Найти предельное быстродействие схемы при указанных номиналах элементов. Рассмотреть влияние номиналов резистора R10 для схемы рис. 13 и R6, R7 для схемы рис. 14 на величину ступени выходного напряжения при входной частоте 1 кГц. Найти номиналы резисторов, обеспечивающие максимальную величину ступени.

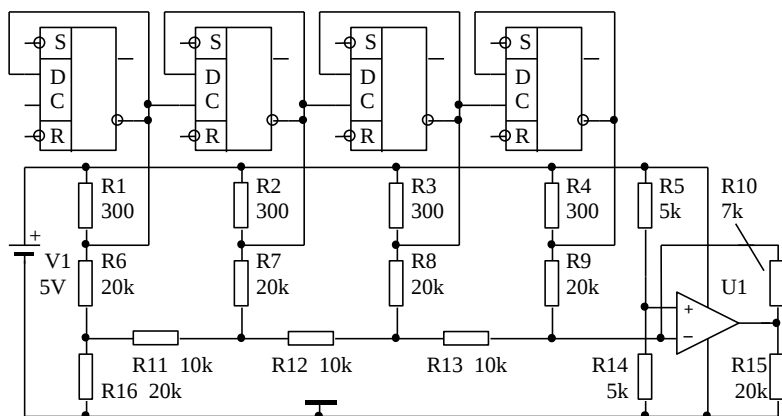


Рис. 16

ЛИТЕРАТУРА

1. *Ильин В.Н., Фролкин В.Т., Бутко А.И., Камнева Н.Ю., Тихомирова Е.М.* Автоматизация схемотехнического проектирования. - М.: Радио и связь, 1987. 368 с.
2. *Норенков И.П., Маничев В.Б.* Системы автоматизированного проектирования электронной и вычислительной аппаратуры. - М.: Высшая школа, 1983. 272 с.
3. *Разевиг В.Д.* Система схемотехнического моделирования и проектирования печатных плат Design Center (PSpice). М.: СК Пресс, 1996. 268 с.

СОДЕРЖАНИЕ

ВВЕДЕНИЕ	3
1. СМЕШАННОЕ ЛОГИКО – СХЕМОТЕХНИЧЕСКОЕ МОДЕЛИРОВАНИЕ	3
1.1. Общие положения	3
1.2. Цифро – аналоговый интерфейс	6
1.3. Согласование временных шкал	6
2. МОДЕЛИРОВАНИЕ ЦИФРО – АНАЛОГОВЫХ СХЕМ В РАМКАХ СИСТЕМЫ DesignLab 7.1	9
2.1. Аналого – цифровой интерфейс	11
2.2 Цифро – аналоговый интерфейс	11
2.3 Модель вход/выход	12
2.4. Графическая подготовка схемы и ее моделирование	12
2.5. Анализ и обработка результатов моделирования	14
3. ЗАДАНИЯ ДЛЯ САМОСТОЯТЕЛЬНОЙ РАБОТЫ . . .	15
ЛИТЕРАТУРА	22

Учебное издание

**СМЕШАННОЕ ЛОГИКО-
СХЕМОТЕХНИЧЕСКОЕ
МОДЕЛИРОВАНИЕ**

**Методические указания
к лабораторной работе по спецкурсу
“Автоматизация проектирования в электронике”
для студентов специальности Н.02.03.00
“Физическая электроника”**

Автор-составитель
Шевкун Игорь Михайлович

В авторской редакции

Подписано в печать 7.06.2001. Формат 60×84/16. Бумага офсетная.

Усл. печ. л. 1,40. Уч. – изд. л. 1,36. Тираж 30 экз. Зак.

Налоговая льгота – Общегосударственный классификатор
Республики Беларусь ОКРБ 007-98, ч. 1; 22.11.20.600.

Белорусский государственный университет
Лицензия ЛВ № 315 от 14.07.98.
220050, Минск, пр. Ф. Скорины, 4.

Отпечатано на копировально-множительной технике
факультета радиофизики и электроники БГУ.
220050, Минск, ул. Курчатова, 7.