

### 3. ЛОГИЧЕСКОЕ МОДЕЛИРОВАНИЕ

#### 3.1. Общие положения

Основная задача, решаемая методами логического моделирования, – оценка качества предлагаемого варианта логической схемы. Эта оценка, как правило, является многоступенчатой. Первоначально проверяют схему на соответствие заданным функциям без учета задержек сигналов. Такая проверка может быть выполнена при относительно небольших затратах машинного времени и позволяет выявить ошибки в структуре, допущенные при синтезе (неправильные, лишние или отсутствующие связи, ошибочно выбранные элементы схемы и т.п.). После устранения выявленных ошибок можно продолжить анализ, переходя к использованию более подробных моделей блока, например учитывающих задержки элементов. Этот анализ дает возможность выявить критические состязания сигналов, возникающие в асинхронных схемах, а также обнаружить другие причины сбоев. Поскольку анализ может быть выполнен для нескольких сравниваемых вариантов схем, есть возможность выбрать наилучший из них, например, с позиций быстродействия. Тем самым на основе анализа решается задача синтеза схем.

Самостоятельная и достаточно сложная задача функционально-логического проектирования – задача синтеза тестов. Тесты нужны для контроля аппаратуры в процессе ее изготовления и эксплуатации. Тестовый контроль должен давать достоверные и полные результаты. Поэтому построение эффективных тестовых наборов относится к задачам, требующим значительных вычислительных ресурсов.

Моделирование электронной схемы представляет собой замену схемы ее моделью и исследование в дальнейшем электронной схемы на модели. В случае логического моделирования электронной схемы математической моделью схемы (ММС) является система логических уравнений, представляющих собой совокупность математических моделей компонентов схемы. При этом одной логической переменной описываются входы и выходы компонентов, объединенные единой связью (узел схемы). На этом этапе все связи (проводники, цепи), соединяющие элементы схемы друг с другом, считаются идеальными, т.е. в любой момент времени во всех точках проводника логический уровень одинаков (задержки в проводниках равны нулю). Поэтому связь (проводник, цепь) и узел схемы являются, в данном случае, синонимами.

На рис.1 приведена схема, состоящая из логических элементов 2И-НЕ. Математической моделью такого элемента (без учета задержек) является выражение:

$$y(t) = \overline{x_1(t) \cap x_2(t)}.$$

Тогда математическая модель этой схемы есть следующая совокупность логических уравнений:

$$e = \overline{a \cap b}; \quad f = \overline{e \cap c}; \quad h = \overline{f \cap g}; \quad g = \overline{d \cap h}; \quad (1)$$

(последовательность перечисления уравнений в этой записи произвольная, если не оговорены какие-либо требования по упорядочиванию).

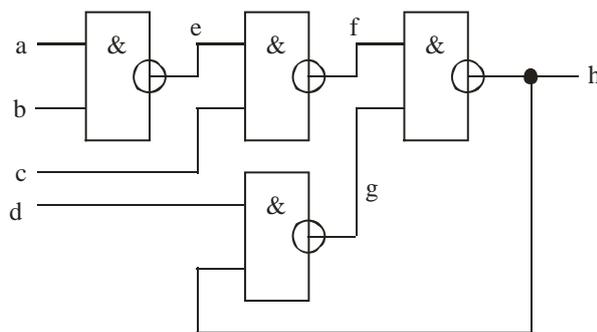


Рис.1

В общем виде математическую модель схемы можно записать [1]

$$V' = F(V, U), \quad (2)$$

где  $U$  - вектор входных переменных,  $V$  - вектор выходных и внутренних переменных в момент времени  $t$ ,  $V'$  - вектор выходных и внутренних переменных схемы в момент времени  $t'=t+\Delta t$ ,  $F$  - оператор преобразования дискретных переменных.

Переменные в векторах  $U$  и  $V$  – дискретные величины. При логическом моделировании применяются модели с разным количеством возможных значений переменных (разной значности). В двузначных моделях  $U$  и  $V$  – булевы переменные. При этом один из электрических уровней (как правило низкий) принимается за 0, а другой (обычно высокий) - за 1. Переход сигнала из одного состояния в другое считается мгновенным.

Достаточно часто привлекаются трехзначные модели, где 0 и 1 имеют обычный смысл, а третье значение ( $X$ ) обозначает либо переход из одного состояния в другое, либо неопределенное состояние. В пятизначных моделях четвертое значение ( $H$ ) обозначает переход из 0 в 1, а пятое значение ( $L$ ) - переход из 1 в 0. Если моделируемое устройство содержит компоненты, переключаемые в высокоимпедансное состояние, приходится вводить еще одно значение, обозначаемое  $Z$ . Представляют интерес и модели с большей значностью.

При логическом моделировании используются функциональные модели компонентов. Функциональная модель представляется в виде “черного ящика”, для которого связь между входными и выходными сигналами задается в виде булевых уравнений, либо таблиц истинности. В таких моделях внутренняя структура компонента не рассматривается. Простейшими моделями комбинационных логических элементов - схем И, ИЛИ, НЕ и других, являются реализуемые ими соответствующие булевы функции. При многозначном моделировании модель компонента задается с помощью многозначной таблицы истинности. В моделях, учитывающих временные задержки, задаются величины задержек сигнала при переключении компонентов.

### 3.2. Методы логического моделирования

При логическом моделировании решаются следующие задачи: проверка логики работы схемы, анализ переходных процессов, определение надежности работы схемы в зависимости от разброса параметров компонентов, генерация тестов и некоторые другие. Метод моделирования выбирается с учетом поставленной задачи. Основными отличительными чертами методов являются: способ учета времени распространения сигнала в схеме, способ кодирования сигналов, очередность моделирования компонентов, способ реализации модели в компьютере.

В зависимости от способа учета времени распространения сигнала методы делятся [2] на синхронный (без учета задержек в компонентах схемы) и асинхронный (с учетом задержек); в зависимости от способа представления сигналов - на двоичный и многозначный (троичный, пятизначный и т.д.), по организации очередности моделирования - сквозной и событийный, по способу организации работы программы моделирования - на метод компиляции и метод интерпретации (рис.2).

#### Синхронное логическое моделирование

При синхронном моделировании модели элементов представляются их логическими функциями без учета задержек сигналов, а сигналы—значениями 0 и 1. Система (1) – пример синхронной модели схемы. Синхронное моделирование применяется для оценки правильности логического функционирования дискретных устройств без учета переходных процессов. Моделирование работы схемы сводится к вычислению значений сигналов на выходах логических элементов схемы по заданным входным сигналам. Моделирование производится для каждого изменения сигналов на входах. Обычно эти изменения связаны с синхросигналами,

поэтому и значения сигналов на выходах элементов вычисляются для каждого синхросигнала. Предполагается, что в промежутке между синхросигналами входные сигналы не меняются, а переходной процесс в схеме завершается в течение некоторого  $\Delta t$ , меньшего периода повторения тактирующих сигналов.



Рис.2

Наиболее удобно использование синхронного моделирования для анализа работы комбинационных схем в установившемся режиме. В этом случае результат моделирования точно соответствует реальной схеме.

МС в этом случае имеет вид

$$V = F(V,U), \quad (3)$$

причем если рассматривается комбинационная схема без обратных связей, соотношение (3) становится еще проще

$$V = F(U). \quad (4)$$

Последнее соотношение представляет собой набор явных формул, причем в отличие от (2) здесь не содержится задержек, поэтому счет по формулам (4) более простой.

Каждый из элементов схемы описывается логическим выражением  $Y=f(x_1, x_2, \dots, x_n)$ , где  $Y$  - выходной,  $x_1, x_2, \dots, x_n$  - входные сигналы элемента. В результате вся схема описывается системой таких соотношений. Синхронное моделирование сводится к их расчету последовательно одно за другим. Под расчетом логического выражения понимается вычисление логического значения  $Y$  по известным логическим значениям  $x_1, x_2, \dots, x_n$ . Особенностью синхронного моделирования является расчет логических выражений в определенном порядке, соответствующем последовательности прохождения сигналов через элементы схемы. Для определения этого порядка схему предварительно нужно ранжировать (упорядочить) (рис.3), чтобы к моменту, когда будет выполняться расчет каждого соотношения  $Y=f(x_1, x_2, \dots, x_n)$  значения всех  $x_1, x_2, \dots, x_n$  были известны. При ранжировании считается, что входные сигналы схемы к моменту начала ее моделирования известны и им присваивается ранг  $r=0$ .

Например, для схемы, приведенной на рис.3 порядок вычисления сигналов будет следующим

- 1)  $e = b \cap c$ ;  $f = c \cap d$ ;  $r=1$
- 2)  $g = e \cup f$ ;  $r=2$
- 3)  $h = a \cap g$ ;  $r=3$

где  $a, b, c, d$  - входные сигналы схемы,  $e, f, g, h$  - выходные сигналы элементов (выходные и внутренние переменные схемы),  $r$  - ранг элементов схемы.

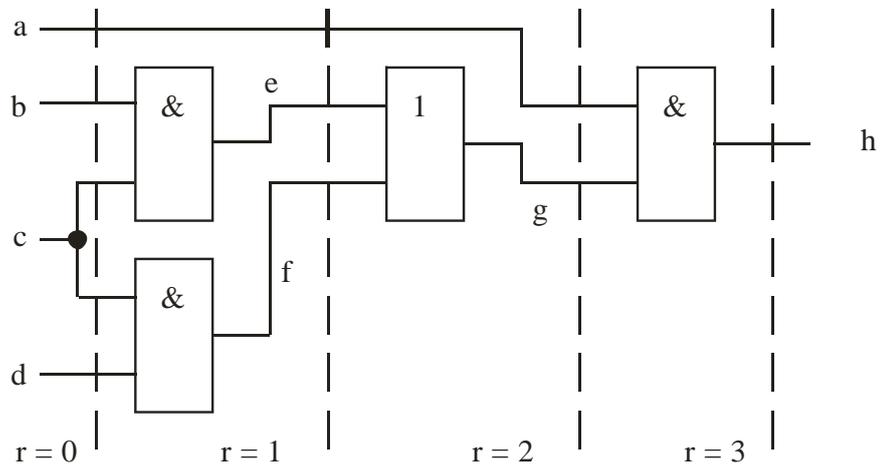


Рис.3

Ранжирование выражений выполняется в соответствии с алгоритмом, в котором реализовано следующее правило присвоения рангов формулам и переменным модели или, что то же самое, присвоения рангов элементам и цепям схемы [1]: формула (элемент схемы) получает ранг  $j$ , если все аргументы этого выражения (все входы элемента) ранжированы и максимальный среди рангов аргументов (входов) равен  $j-1$ . Переменная модели (цепь схемы) получает ранг  $j$ , если она является левой частью уравнения (является выходом элемента), имеющего ранг  $j$ . Выполнение алгоритма начинается с того, что всем входным переменным присваивается ранг  $j=0$ . Затем определяются формулы (элементы) первого ранга, переменные (цепи) первого ранга, формулы (элементы) второго ранга и т.д. В итоге выражения, составляющие модель схемы, располагаются в порядке возрастания рангов.

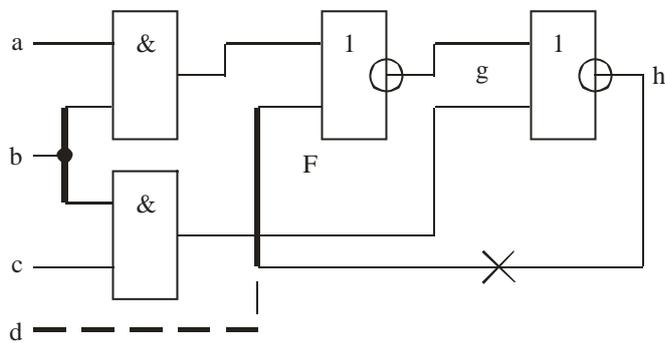


Рис.4

Несколько сложнее моделируются логические схемы с обратными связями (рис. 4). В этом случае выполняется искусственный разрыв обратной связи, и входу элемента, к которому была подключена эта связь, (первый слева элемент 2ИЛИ-НЕ) присваивается ранг 0. На этот вход (вход d) подается начальное значение сигнала, например 0. Схема моделируется. Если значение на выходе того элемента, с которого снимается сигнал обратной связи (последний элемент схемы), равно 0, т.е. оно совпадает с начальным значением, моделирование завершено, если нет – вычисленное значение подается на вход элемента и расчет повторяется. В зависимости от особенностей схемы, такой цикл приходится выполнять несколько раз до момента совпадения исходного и расчетного значений. Если этого не происходит, т.е. цикл оказывается бесконечным, в схеме есть ошибка, это генерирующая схема.

Строго говоря схема с обратными связями описывается соотношением (3), которое представляет собой систему логических уравнений. Для решения систем логических уравнений применяют итерационные методы: метод простой итерации, метод Зейделя без ранжирования, метод Зейделя с ранжированием. Перед решением системы (3) должен быть задан вектор входных воздействий и начальное приближение для  $V$ .

**Метод простой итерации.** Этот метод заключается в выполнении итераций по формуле

$$V^{i+1} = F(V^i, U), \quad (5)$$

где  $V^i$  – значение  $V$  на  $i$ -ой итерации.

Если  $V^{i+1} = V^i$ , то решение найдено; если  $V^{i+1} \neq V^i$ , – выполняется новая итерация; если итерационный процесс не сходится, это свидетельствует об ошибках проектирования схемы устройства, вызывающих неустойчивость его состояния. Практически считается, что процесс не сходится, если условие  $V^{i+1} = V^i$  не достигается на заданном количестве итераций.

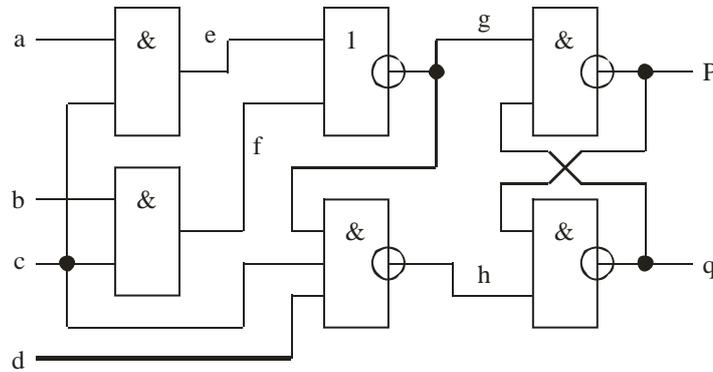


Рис.5

**Пример.** Вычисления по методу простой итерации проиллюстрируем на примере схемы, показанной на рис. 5. Этой схеме соответствует следующая система уравнений:

$$\begin{aligned} 1) e &= a \cap c; & 2) g &= \overline{e \cup f}; & 3) p &= g \cap q; & (6) \\ 4) f &= b \cap c; & 5) h &= \overline{g \cap c \cap d}; & 6) q &= p \cap h; \end{aligned}$$

Отметим, что это не ранжированная система уравнений. При использовании итерационных методов удастся получить решение и для таких систем.

Пусть входной набор  $U = (a, b, c, d)$  имеет значение 0011. Пусть также для вектора  $V = (e, g, p, f, h, q)$  известно начальное приближение 001110. Порождаемый методом простой итерации вычислительный процесс дает результаты, приведенные в первой части табл. 1. Здесь значение каждого элемента вектора  $V$  на каждой итерации – результат вычислений по соответствующему уравнению модели при значениях аргументов, полученных на предыдущей итерации. Из этой таблицы видно, что потребовалось шесть раз обращаться к каждому из шести уравнений модели, прежде чем результат последней итерации, совпадающий с результатом предпоследней итерации, показал, что решение найдено.

Уменьшить объем вычислений удастся при построении итерационного процесса по методу Зейделя. Особенность итерации по методу Зейделя заключается в том, что при вычислении очередного из элементов вектора  $V^{i+1}$  в правую часть (5) там, где это возможно, подставляются не элементы вектора  $V^i$ , а те элементы вектора  $V^{i-1}$ , которые уже вычислены к данному моменту. Например, при вычислении по уравнению 3 из (6) в методе простой итерации используются значение  $g$  с предыдущей итерации, а в методе Зейделя – значение  $g$ , вычисленное по уравнению 2 на данной итерации.

Количество итераций в методе Зейделя существенно зависит от порядка, в каком реализуются уравнения модели.

**Метод Зейделя без ранжирования.** В этом методе уравнения модели перечисляются в произвольном порядке. Пусть в примере решения системы (6) по методу Зейделя сохранен принятый в этой системе порядок записи уравнений. Тогда будут получены результаты решения, которые приведены во второй части табл. 1. Для этого достаточно четырех итераций.

Табл.1

| Метод                    | Номер итерации | Значение вектора V |   |   |   |   |   |
|--------------------------|----------------|--------------------|---|---|---|---|---|
|                          |                | e                  | g | p | f | h | q |
| Простой итерации         | 1              | 0                  | 0 | 1 | 0 | 1 | 0 |
|                          | 2              | 0                  | 1 | 1 | 0 | 1 | 0 |
|                          | 3              | 0                  | 1 | 1 | 0 | 0 | 0 |
|                          | 4              | 0                  | 1 | 1 | 0 | 0 | 1 |
|                          | 5              | 0                  | 1 | 0 | 0 | 0 | 1 |
|                          | 6              | 0                  | 1 | 0 | 0 | 0 | 1 |
| Зейделя без ранжирования | 1              | 0                  | 0 | 1 | 0 | 1 | 0 |
|                          | 2              | 0                  | 1 | 1 | 0 | 0 | 1 |
|                          | 3              | 0                  | 1 | 0 | 0 | 0 | 1 |
|                          | 4              | 0                  | 1 | 0 | 0 | 0 | 1 |
| Зейделя с ранжированием  | 1              | 0                  | 1 | 0 | 0 | 0 | 1 |
|                          | 2              | 0                  | 1 | 0 | 0 | 0 | 1 |

**Метод Зейделя с ранжированием.** Здесь уравнения располагаются в том порядке, в каком соответствующие уравнениям элементы схемы образуют пути прохождения сигналов. Тогда для анализа схем без обратных связей потребуется всего одна итерация. В схемах с обратной связью метод Зейделя с ранжированием уравнений порождает несколько итераций, но их количество существенно меньше, чем в методе простой итерации и методе Зейделя без ранжирования (третья часть таблицы).

Результатом синхронного моделирования является таблица истинности схемы или временная диаграмма, представленная в виде последовательности 0 и 1. В таблице истинности и на диаграмме для каждого такта моделирования приводятся значения входных воздействий и значения сигналов на выходах элементов схемы. По ней анализируется правильность работы устройства. Обычно моделирование устройства производится для некоторой совокупности тестовых воздействий, для которых известна эталонная реакция схемы. Сопоставляя в конкретном случае результаты с требуемой эталонной реакцией, определяют правильность работы устройства. В случае обнаружения несоответствия более детальный анализ результатов моделирования позволяет локализовать ошибки в схеме.

Синхронное моделирование с двоичным представлением сигналов является простейшим способом моделирования. Его важное достоинство заключается в скорости, однако синхронное моделирование не позволяет анализировать переходные процессы в схемах и выявлять ошибки, которые могут возникнуть из-за задержки сигналов в элементах схемы.

При использовании трех- и пятизначных моделей синхронное моделирование позволяет выделить в схеме места, где возможно появление ложных сигналов – рисков сбоя. Однако наиболее полную информацию о схеме позволяет дать только асинхронное моделирование.

### Асинхронное логическое моделирование

Анализ переходных процессов в логических схемах ведется асинхронным методом моделирования, в котором учитывается время распространения сигналов в элементах и соединительных цепях схемы. Последнее возможно, если в логическую схему ввести элементы задержки, характеризующие время распространения сигнала в соответствующей цепи.

Срабатывание логического элемента происходит с некоторым запаздыванием по отношению к входным сигналам, которое учитывается задержкой в моделях элементов. Каждый элемент характеризуется некоторой средней задержкой, значение которой может меняться в зависимости от режима работы элемента, комбинации входных сигналов, температуры, отклонения в технологии изготовления элемента и т. д. В зависимости от требуемой

степени адекватности моделирования учет задержек производится с той или иной степенью детализации. Задержки в линиях связи весьма малы и обычно не учитываются, однако при моделировании устройств с очень высоким быстродействием учитываются и они.

Модель логического элемента для асинхронного моделирования представляется в виде последовательного соединения безынерционного логического элемента, реализующего указанную функцию, и элемента задержки.

Асинхронное моделирование заключается в вычислении сигналов на выходах логических элементов схемы в соответствии с рассмотренной выше моделью (2). При асинхронном моделировании требуется определить не только состояние на выходе элемента (0 или 1), но и момент времени, когда произошли изменения. В простейшем случае для этого многократно просчитываются состояния элементов схемы через некоторый интервал времени  $\Delta t$ , который выбирается как наибольший общий делитель времен задержек элементов, используемых в моделируемом устройстве. Так, если в устройстве используются элементы, имеющие задержки 15, 27, 21 и 30 нс, то  $\Delta t = 3$  нс.

Если схема тактируемая, то время ее такта  $T$  разбивается на последовательность микротактов длительностью  $\Delta t$  и моделирование сводится к многократному решению уравнений, описывающих схему. Окончание моделирования одного такта работы схемы происходит либо по истечении времени  $T$ , либо по окончании переходного процесса в схеме.

По сравнению с синхронным асинхронное моделирование требует выполнения существенно большего количества вычислений. Объем программ также возрастает из-за необходимости моделирования элементов задержек.

### **Событийное моделирование.**

Прямой счет по формулам (2) означает рассмотрение на каждом микротакте состояния всей схемы. Такой подход называется сквозным и он требует, как уже отмечалось, значительных затрат машинного времени. Однако анализ работы дискретных устройств показывает, что одновременно находятся в активном состоянии, т.е. изменяют свое состояние, лишь 1 - 2,5% всех элементов схемы. Отсюда следует, что существенное уменьшение времени моделирования может быть достигнуто, если каждый раз моделировать только те элементы, у которых изменились входные сигналы. В этом и заключается принцип событийного моделирования. Событие в системах событийного моделирования – это изменение состояния какого-либо элемента и связанных с ним цепей.

В системах асинхронного событийного моделирования время моделирования изменяется не постепенно с заранее заданным шагом  $\Delta t$ , а в моменты возникновения событий. Моменты же возникновения событий определяются задержками логических элементов, которые в общем случае различны.

В программах асинхронного событийного моделирования важную роль играют два массива [2] – массив состояния цепей моделируемой схемы и очередь будущих событий. Массив состояния цепей хранит текущие состояния всех цепей моделируемой схемы в виде логических 0 и 1. В очередь будущих событий (ОБС) в процессе моделирования записываются события, которые должны произойти в моделируемой схеме. Каждый элемент ОБС содержит номер цепи, в которой должно произойти изменение состояния (т.е. произойдет событие), и момент времени возникновения события. В ОБС события записаны в порядке возрастания времени, и в вершине очереди находится событие, которое произойдет раньше всех.

Асинхронное событийное моделирование выполняется следующим образом. Перед началом моделирования устанавливается исходное состояние схемы путем записи значений в массив состояния цепей. Тестовые входные воздействия, подаваемые в схему, заносятся в ОБС в соответствии с временем их появления. Далее начинается собственно моделирование, которое состоит из следующих действий.

1. Из ОБС выбирается верхний элемент. Время, указанное в нем, заносится в счетчик

модельного времени, а в массив состояния цепей по номеру, указанному в элементе, вместо старого, производится запись нового состояния цепи, указанного, в ОБС.

2. Находятся логические элементы, для которых данная цепь является входной, и вычисляются значения сигналов на выходах этих элементов (т. е. определяются новые состояния цепей) и их задержки.

3. Для каждой из цепей значение сигнала сравнивается со значением, хранящимся в массиве состояния цепей, и, если они не совпадают, то, следовательно, происходит изменение состояния цепи, и событие заносится в ОБС. Если значения совпадают, то запись в ОБС не производится. Далее операции повторяются, начиная с п. 1. Процесс моделирования заканчивается при исчерпании всех элементов ОБС либо заданного времени моделирования.

Результаты асинхронного моделирования представляются в виде временных диаграмм, по которым и анализируется работа устройств, в частности, выявляются критические состязания, статические и динамические риски сбоев. Наиболее полно поведение моделируемого устройства раскрывается при формировании задержек элементов с учетом их случайного характера.

Табл.2

| Метод  | Номер итерации | Значение вектора V |   |   |   |   |   | Изменяющиеся переменные | Используемые уравнения |
|--|----------------|--------------------|---|---|---|---|---|-------------------------|------------------------|
|  |                | e                  | g | p | f | h | q |                         |                        |
| Событийный анализ по методу простой итерации | 0              | 0                  | 0 | 1 | 1 | 1 | 0 | b, d                    | 4 и 5                  |
|  | 1              | -                  | - | - | 0 | 1 | - | f                       | 2                      |
|  | 2              | -                  | 1 | - | - | - | - | g                       | 5                      |
|  | 3              | -                  | - | - | - | 0 | - | h                       | 6                      |
|  | 4              | -                  | - | - | - | - | 1 | q                       | 3                      |
|  | 5              | -                  | - | 0 | - | - | - | p                       | 6                      |
|  | 6              | -                  | - | - | - | - | 1 | -                       | -                      |

Событийный подход применяется и при синхронном моделировании [1]. В этом случае удастся существенно уменьшить затраты на выполнение каждой итерации процесса решения уравнений модели. В табл. 2 приведены результаты совместного применения метода простой итерации и событийного подхода к решению системы (6). Здесь в строках, соответствующих итерациям 1-6, указаны значения только тех переменных, которые перевычислялись на очередной итерации. Отсутствие изменяющихся переменных на шестой итерации свидетельствует об окончании итераций. Всего в процессе решения к моделям элементов пришлось обращаться семь раз, тогда как без использования событийного метода таких обращений было 36.

### Многозначное моделирование.

Многозначные модели используются как при синхронном, так и при асинхронном моделировании. В первом случае они позволяют выявить места в схеме, где возможны риски сбоя и наличие критических состязаний. При этом временные затраты, например, на троичное синхронное моделирование всего в 4...6 раз больше [2], чем на двоичное синхронное моделирование и значительно меньше, чем на асинхронное.

Использование многозначных моделей в асинхронном моделировании увеличивают его трудоемкость, но значительно повышают и его информативность. Так, например, использование пятизначной модели позволяет четко зафиксировать фронты сигнала (передний и задний), что в ряде случаев имеет большое значение.

### Реализация программ логического моделирования

**Компилирующие и интерпретирующие системы.** В зависимости от способа реализации программы в компьютере системы моделирования делятся на компилирующие и ин-

терпретирующие.

В системах компилирующего типа исходное описание моделируемой схемы, представленное на каком-либо входном языке, транслируется на машинный язык и оформляется в виде объектного модуля, который затем и выполняется при моделировании. Для перевода исходного описания схемы на машинный язык используется специальная программа – транслятор, являющаяся частью системы моделирования.

В системах интерпретирующего типа перевод входного описания на машинный язык не производится, а каждый оператор входного описания выполняется с помощью специальной подпрограммы. Таким образом, для каждого типа операторов входного языка применяется собственная подпрограмма.

Сравнивая системы интерпретирующего и компилирующего типов, необходимо отметить следующее. В системах интерпретирующего типа входное описание модели хранится в оперативной памяти компьютера во время моделирования и вследствие этого внесение изменений в модель в интерпретирующих системах осуществляется достаточно просто. В системах компилирующего типа внесение изменений в модель (т. е. в исходный текст описания) требует его повторной трансляции. Преимуществом систем компилирующего типа является большая скорость работы. Однако разработка транслятора для перевода описания схемы на машинный язык представляет более сложную и трудоемкую задачу, чем разработка программного обеспечения интерпретирующей системы. Таким образом, системы интерпретирующего типа проще и менее трудоемки для создания, однако, если требуется большая скорость работы системы моделирования, предпочтение следует отдать системам компилирующего типа.

#### **Литература:**

1. Норенков И.П., Маничев В.Б. Системы автоматизированного проектирования электронной и вычислительной аппаратуры. - М.: Высшая школа, 1983. - 272 с.
2. Ильин В.Н., Фролкин В.Т., Бутко А.И., Камнева Н.Ю., Тихомирова Е.М. Автоматизация схемотехнического проектирования. - М.: Радио и связь, 1987. - 368 с.
3. Киносита К., Асада К., Карацу О. Логическое проектирование СБИС. Пер. с англ. М.: Мир, 1988. - 310 с.
4. Авдеев Е.В., Еремин А.Г., Норенков И.П., Песков И.М. Системы автоматизированного проектирования в радиоэлектронике.- М.: Радио и связь, 1986.- 367 с.