

СИСТЕМА CLTT ПРОЕКТИРОВАНИЯ ТОПОЛОГИИ СЕТЕЙ МАКРОЭЛЕМЕНТОВ ЗАКАЗНЫХ ЦИФРОВЫХ СБИС

П.Н. Бибилу, И.П. Логинова, В.И. Романов, Л.Д. Черемисинова

Объединенный институт проблем информатики Национальной Академии Наук Беларуси
Минск, Республика Беларусь
телефон(ы): + (375 17) 2842076; факс(ы): + (375 17) 2842175; e-mail: bibilo@newman.bas-net.by
web: www.uiip.bas-net.by

Описывается система CLTT сквозного проектирования функциональных блоков заказных цифровых сверхбольших интегральных схем (СБИС), выполненных на основе КМОП-технологии. Маршрут проектирования топологии логической схемы позволяет из исходного описания функционального блока на языке VHDL получить послойный топологический чертеж с компактным размещением макроэлементов и соединений информационных и силовых связей согласно технологическим требованиям.

Ключевые слова – Заказная цифровая сверхбольшая интегральная схема, макроэлементы СБИС, регулярная МОП-схема, программируемая логическая матрица, постоянное запоминающее устройство.

1 АРХИТЕКТУРА СИСТЕМЫ CLTT

Система CLTT является развитием системы CL [1] и предназначена для сквозного проектирования функциональных блоков заказных СБИС на базе программируемых макроэлементов трех типов – ПЛМ (программируемых логических матриц), РМОП-схем (регулярных МОП-схем с последовательными соединениями транзисторов) и ПЗУ (постоянных запоминающих устройств). Архитектура системы CLTT представлена на рис. 1. Исходными описаниями могут быть описания цифровых блоков на языках VHDL (Very high speed integrated circuits Hardware Description Language) и SF [1]. Базовым (внутренним) языком описания проектируемого блока является язык SF, позволяющий иерархически описывать многоуровневую комбинационную логику как в виде логических уравнений, так и в матричном виде, когда парой матриц задаются системы ДНФ (дизъюнктивных нормальных форм) булевых функций. *Конвертер 1* преобразует функционально-поведенческое описание управляющей схемы заказной СБИС, представленное на языке VHDL, в иерархическое SF-описание, на основе которого формируется проект.

Система CLTT содержит четыре подсистемы.

Подсистема «*Формирование проекта*» позволяет получить представление иерархически организованного проекта

во внутренней форме, т.е. в виде многоуровневых SF-описаний.

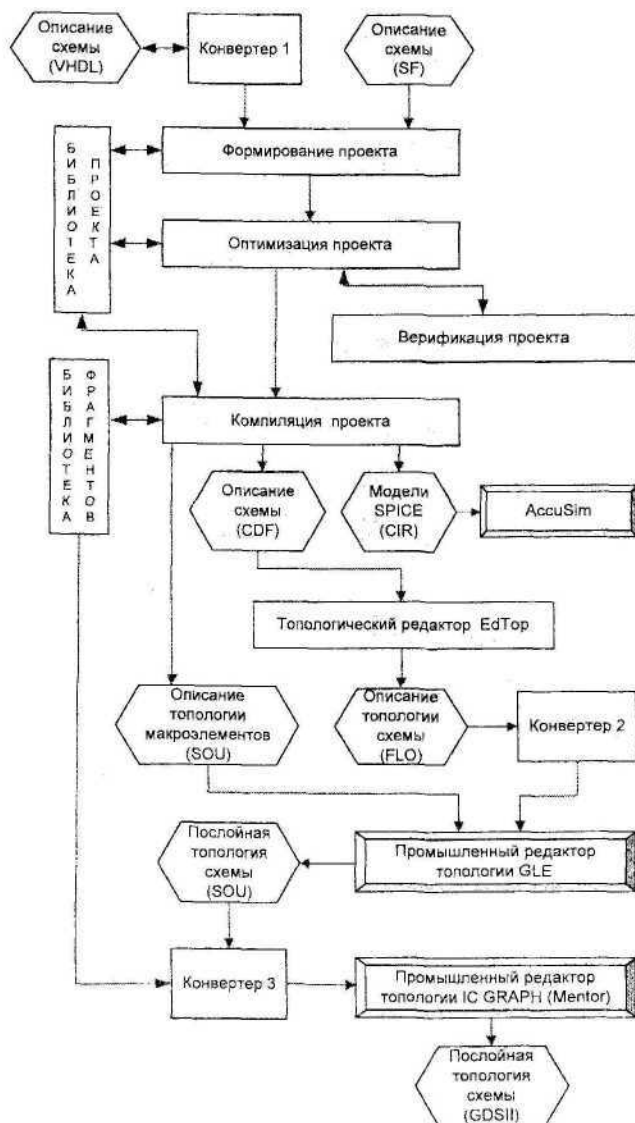


Рис. 1. Архитектура системы CLTT.

Подсистема «*Оптимизация проекта*» нацелена на решение задач логического проектирования, ориентирована на оптимизацию представлений систем булевых функций

согласно различным ограничениям и критериям оптимизации. Подсистема имеет в своем составе программы:

- устранения иерархии описания, т.е. получение функционального описания блока из многоуровневого структурно-функционального описания;
- преобразования многоуровневых представлений систем булевых функций в двухуровневые И-ИЛИ представления (системы ДНФ);
- программы совместной и раздельной минимизации булевых функций в классе ДНФ;
- программы разбиения многоуровневых представлений на блоки с учетом ограничений n – число входных переменных блока; m – число выходных переменных блока; p – число общих элементарных конъюнкций, на которых заданы ДНФ функций блока.

Подсистема «Верификация проекта» решает задачу функциональной эквивалентности различных состояний проекта. Оптимизация проекта сводится к решению трудоемких логико-комбинаторных задач и нужно быть уверенными в том, что функции проекта после оптимизационных процедур не изменились. В составе этой подсистемы имеется три различных верификатора, каждый из которых имеет свою область предпочтительного использования.

Подсистема «Компиляция проекта» предназначена для получения послойных топологических описаний подсистем, представленных в виде макроэлементов, при этом для каждой из подсистем указывается тип (ПЛИС, РМОП-схема, ПЗУ) макроэлемента. Основными этапами компиляции являются:

- получение структурного описания макроэлемента;
- получение символьной топологии макроэлемента;
- получение послойной топологии макроэлемента.

Получение послойной топологии опирается на разработанные библиотеки фрагментов послойной топологии – для каждого типа макроэлемента разработана собственная библиотека фрагментов, из которых собирается послойная топология. Макроэлемент любого из типов на уровне символьной топологии представляется в виде матрицы или конфигурации нескольких матриц. Элементом матрицы символьной топологии макроэлемента любого из трех типов является имя топологического фрагмента. Подсистема компиляции проекта позволяет также создавать схемотехнические SPICE-модели для ПЛИС и РМОП-схем, соответствующие файлы имеют расширение **.cir**. Данные модели могут быть промоделированы в системе аналогового моделирования. На рис. 1 система схемотехнического моделирования обозначена блоком «AcuSim» (Mentor Graphics).

Результатом компиляции проекта является: описания послойной топологии макроэлементов схемы (соответствующие файлы имеют расширение **.sou**) и информация о габаритах, координатах расположения полюсов и связях макроэлементов с другими макроэлементами, входящими в схему (соответствующий файл имеет расширение **.cdf**). Информация о начальном (неоптимизированном) распо-

ложении макроэлементов на поле кристалла заказной СБИС передается в подсистему топологического проектирования – топологический редактор EdTop.

Топологический редактор EdTop предназначен для решения основной задачи топологического проектирования – размещения элементов и макроэлементов (и их связей) с учетом технологических ограничений. Он реализует различные процедуры размещения макроэлементов, реализованные как в автоматическом, так и диалоговом режиме работы проектировщика. Результатом работы топологического редактора EdTop является информация о размещении элементов и их связей – соответствующий файл имеет расширение **.flo**.

Конвертер 2 реализует этап получения описания послойной топологии в формате **.sou** – производится «подстановка» послойных описаний макроэлементов и замена абстрактного представления связей, геометрическими послойными описаниями связей с соответствующим расположением ячеек межслойных переходов.

Конвертер 3, входящий в состав промышленного редактора GLE, реализует заключительный этап получения послойной топологии в формате **.gds** – производится «раскрытие» иерархии послойных описаний макроэлементов с использованием библиотек топологических фрагментов макроэлементов и многоуровневого описания послойной топологии схемы в формате **.sou**.

2 КОМПИЛЯЦИЯ ТОПОЛОГИИ МАКРОЭЛЕМЕНТОВ

Система CLTT представляется в виде совокупности единой оболочки, обеспечивающей проведение сеанса проектирования, набора программных модулей, реализующих отдельные проектные процедуры синтеза компиляции топологии, и графического редактора EdTop, обеспечивающего создание эскиза топологии с оптимальным размещением макроэлементов схемы и трассировкой межсоединений как в автоматическом, так и в интерактивном режиме.

После этапа логического синтеза функциональные блоки описываются троичными и булевыми матрицами, по которым составляются описания символьной топологии макроэлементов. Основные элементы символьной топологии определяют «программирование» ключевых (информационных) элементов в регулярных структурах макроэлементов. Совокупности топологических фрагментов, соответствующих «программируемым» и другим функциональным ячейкам макроэлемента, автоматически собираются согласно символьному плану в полную послойную топологию.

Например, вид послойной топологии макроэлементов ПЛИС и РМОП-схемы небольшой размерности приведен на рис. 2 и 3. Заметим, что на рис. 2 и 3 представлены не все технологические слои.

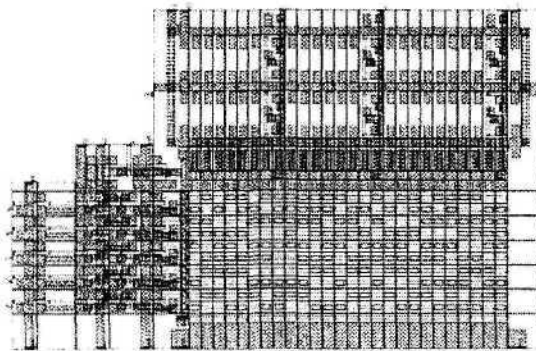


Рис. 2 – Вид послойной топологии РМОП-схемы

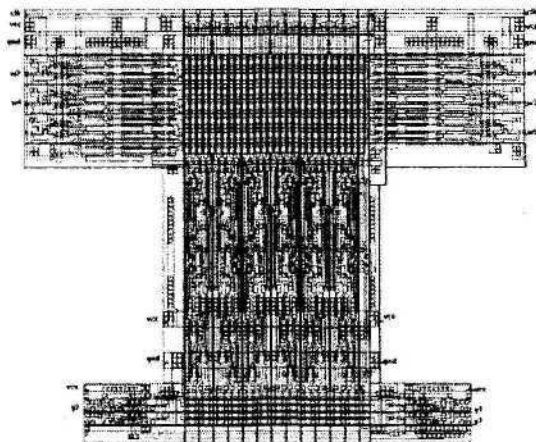


Рис. 3 – Вид послойной топологии ПЛМ

3 РАЗМЕЩЕНИЕ И ТРАССИРОВКА СОЕДИНЕНИЙ МАКРОЭЛЕМЕНТОВ

Проектирование виртуального прототипа эскиза топологии заключается в преобразовании системы координат описаний топологии (SOU-формат), проведении оптимизирующих преобразований топологии синтезированных макроэлементов с целью уменьшения числа неинформационных контактов и импортировании в редактор EdTop имен макроэлементов схемы, координат огибающих прямоугольников, координат, имен и типов портов и указанием всех связей макроэлементов.

В отличие от топологического редактора OT-TO Layout Editor [2] в редакторе EdTop принято соглашение о классификации контактов и связей проектируемой схемы. Контакты, расположенные на границе огибающего прямоугольника всей схемы, соответствующие входам и выходам схемы, называются *внешними*. Внешние контакты могут располагаться в любом месте на границе прямоугольника схемы, но их положение фиксируется при проведении процедур размещения и трассировки. Внешние контакты участвуют в образовании *внешних* информационных связей. *Внутренние* информационные связи образуются между парой контактов макроэлементов и элементов схемы.

В редакторе EdTop реализован общий случай задачи размещения, когда на размеры макроэлементов не накладывается никаких ограничений. Основными целями размещения, являются: минимум занимаемой площади кристалла и создание наилучших условий для последующей трассировки соединений схемы. Решение задачи размещения предполагает: выбор критериев размещения, начальное размещение элементов на кристалле и его итерационную оптимизацию.

Макроэлементы геометрически представляют собой прямоугольники, имеющие контактные площадки внешних полюсов на ее границах. Вводится модель площади кристалла, выделяемая под элементы и называемая коммутационным полем. Это поле представляет собой координатную сетку, служащую для определения размеров макроэлементов и их позиций. Макроэлементы сначала размещаются плотно друг к другу, но в процессе размещения они раздвигаются на некоторое расстояние, устанавливаемое параметрически.

Под задачей размещения элементов понимается поиск такого отображения O_{best} элементов схемы $e_i \in E$ на множество позиций коммутационного поля $p_j \in P$, при котором минимизируется функция штрафов

$$F(O_{best}) = \min_{e_i \in E} \sum F(O_i) \quad , \quad \text{где } S_i \cap S_j = \emptyset, \quad i \neq j, \quad \text{и} \quad \sum S_i \leq \min,$$

где $F(O_i)$ – количественная оценка штрафа за вносимые на коммутационное поле «белые пятна» (неиспользуемые области) при размещении элемента e_i на прямоугольнике S_i позиций коммутационного поля (они не могут перекрываться). Вначале для размещения выделяется квадрат, размеры которого вычисляются в зависимости от размеров размещаемых макроэлементов. Размещение ведется, начиная от левого верхнего угла, имеющего координаты (0,0), привязка размещенных элементов задается также координатами их левых верхних углов. Макроэлементы перед размещением упорядочиваются по невозрастанию их площадей, именно из такой последовательности осуществляется их выбор для размещения.

Реализованный алгоритм размещения основывается на последовательном заполнении прямоугольных областей размещения $K_i((X_i, Y_i), (W_i, H_i), (W_i^d, H_i^d))$ коммутационного поля, характеризующихся координатами (X_i, Y_i) левого верхнего угла, шириной и высотой (W_i, H_i) , шириной и высотой (W_i^d, H_i^d) подобласти «предпочтения». Последние определяются числом позиций поля, занятых макроэлементами выше и слева от K_i . Аналогично задается макроэлемент $e_j((x_j, y_j), (w_j, h_j))$.

На каждом шаге алгоритма для размещения выбирается очередной еще не размещенный макроэлемент e_j , для него подбирается та из областей $K_i((X_i, Y_i), (W_i, H_i), (W_i^d, H_i^d))$ с $w_j \leq W_i, h_j \leq H_i$, выбор которой минимизирует площадь появляющихся на поле «белых пятен». При этом рассматриваются варианты размещения с поворотом макроэлемента на 90° .

После размещения макроэлементов осуществляется автоматическая разводка всех связей. Такая разводка допускает появление на эскизе «некорректных» (пересекающих другие соединения или макроэлементы) соединений, которые в последствии должны быть поправлены в интерактивном режиме.

4 ПРИМЕР РАЗМЕЩЕНИЯ И ТРАССИРОВКИ МАКРОЭЛЕМЕНТОВ СХЕМЫ КОНТРОЛЛЕРА

Исходное описание схемы (таблицы микрокоманд контроллера) представлено в виде VHDL-описания. Таблица содержит 2130 строк и представляет собой систему 63 частичных булевых функций, зависящих от 18 аргументов и заданных на 2130 наборах булева пространства.

[illegible]

После преобразования в формат SF и проведения раздельной минимизации функций системы, все 63 функции были заданы на 710 элементарных конъюнкциях. Разбиение на четыре подсистемы позволило получить одноуровневую сеть. Каждый из блоков был реализован на РМОП-схеме (рис. 4).

В протокол о топологической реализации схемы **example** включается следующая информация:

Количество внешних информационных контактов - 81, среди них на слое Met1 - 63, на слое Met2 - 18, при этом входных - 18, выходных - 63. Количество внешних неинформационных контактов - 20. Количество внутренних контактов - 71, среди них контактов ветвления - 0, межслойных контактов - 71. Эти контакты на линиях: информационных - 68, питания - 3, земли - 0, синхросигнала - 0.

Суммарная длина соединений 453 824,
в том числе: информационных - 436 661,
питания - 6 629, земли - 6 643, синхросигнала - 3 891.
Площадь, занятая шинами соединений - 6 224 921,
в том числе: информационных - 5 459 058,
питания - 300 387, земли - 379 874, синхросигнала - 85 602.
доля шин в площади эскиза - 7,69%.

Площадь эскиза схемы - 80 906 404,
радиус описываемой окружности - 12729.
Площадь эскиза без макроэлементов - 23 612 420.
Площадь занятая макроэлементами - 57 293 984,
доля этой площади на эскизе - 70.82%.

недопустимых пересечений нет!

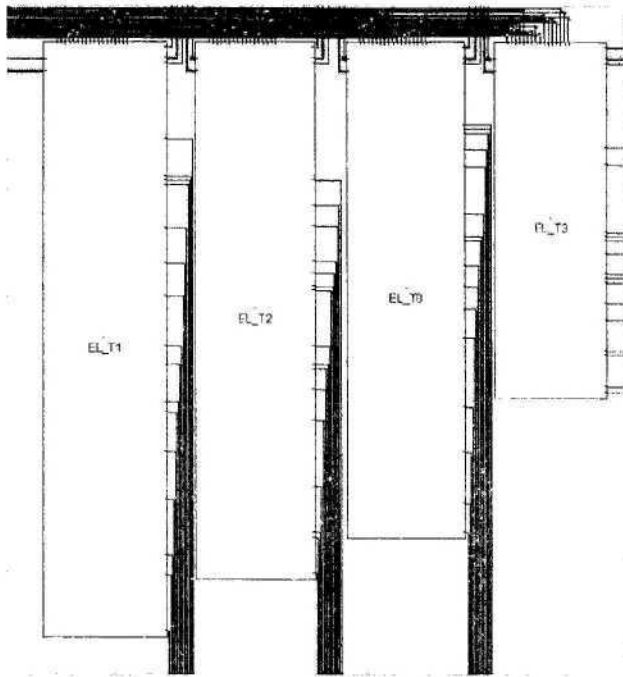


Рис. 4. Конечный вариант размещения и трассировки
схемы example в редакторе EdTop.

5 ЗАКЛЮЧЕНИЕ

Система CLTT по своим функциональным возможностям соответствует последним достижениям в области автоматизации проектирования отечественных заказных СВИС, она обеспечивает сокращение сроков проектирования и увеличивает надежность процесса проектирования. Разработанная система создает предпосылки для формирования комплексной системы автоматизации проектирования управляющей логики за счет использования других типов макроэлементов и готовых топологических решений IP-блоков.

ЛИТЕРАТУРА

- [1] Система "Custom Logic" автоматизированного проектирования управляющей логики заказных цифровых СБИС / П.Н. Бибило, И.В. Василькова, С.Н. Кардан и др. // Микроэлектроника. – 2004. – Т. 32. – № 5. – С. 379 – 398.
- [2] Бобовский В. Профессиональный редактор топологий микросхем OT_T0 Layout Editor 2002 / В. Бобовский, Ю. Потапов // ЕДЛ Expert. Инженерная микроэлектроника. – №2 (65). – 2002. – С. 69-73.