

УЧЕТ ЭНЕРГОПОТРЕБЛЕНИЯ В ПРОЦЕССЕ СИНТЕЗА КМОП-СХЕМ

Л. Д. Черемисинова

Объединенный институт проблем информатики НАН Беларуси

Минск, Беларусь

E-mail: cld@newman.bas-net.by

Рассматриваются критерии оценки энергопотребления синхронных схем, реализуемых по КМОП-технологии, на этапе логического синтеза. Предлагаются сравнительные прогнозные оценки вариантов оптимизации схем по критерию энергопотребления на этапах логического синтеза схем из библиотечных элементов КМОП СБИС: минимизации двухуровневых и многоуровневых И-ИЛИ-схем, отображении последних в технологический базис.

Ключевые слова: автоматизация проектирования, заказные КМОП СБИС, синтез схем с пониженным энергопотреблением.

Введение

В последние годы все большее значение придается проектированию микросхем с малым энергопотреблением. Это вызвано следующим: во-первых, рассеивание энергии становится камнем преткновения при дальнейшем повышении уровня интеграции; во-вторых, расширяется рынок портативных устройств с автономным питанием, для которых очень важно увеличить время их автономной работы без подзарядки. Снижение энергопотребления проектируемой схемы может обеспечиваться на разных уровнях ее проектирования. Чем более ранним является этап, тем более важно получать на нем оптимальные решения. В частности, на логическом уровне (за счет построения удачной логической структуры) можно достичь сокращения энергопотребления на 10–20 % без ущерба для быстродействия и сложности схемы [1].

В настоящей работе предлагаются оценки энергопотребления на этапах логического синтеза многоуровневых логических схем из библиотечных элементов, выполненных на основе технологии статических КМОП-схем, которая в настоящее время является доминирующей технологией в области цифровых СБИС. Компоненты СБИС, выполненные по этой технологии, потребляют подавляющую часть необходимой для их функционирования энергии во время их переключения [2], соответственно энергопотребление существенно зависит от переключательной активности узлов схемы, которая определяется, в свою очередь, динамикой функционирования и структурой схемы. Последовательность входных воздействий на схему существенно зависит от ее применения и может быть спрогнозирована проектировщиком на вероятностном уровне, при этом помимо функционального описания проектируемой схемы задаются вероятностные оценки активности изменения сигналов на ее входах.

Логический синтез в базисе библиотечных элементов

Рассматривается подход к логическому синтезу [3], позволяющий минимизировать площадь и среднее значение мощности, рассеиваемой микросхемой. Подход основан, как и большинство известных методов синтеза, на разбиении процесса логического синтеза на стадии технологически независимой оптимизации и технологиче-

ского отображения. Первая стадия синтеза ориентирована на оптимизацию и декомпозицию логики, а вторая – на реализацию полученного функционального описания в заданном технологическом базисе. Цель первого этапа заключается в минимизации сложности многоуровневой схемы в технологически независимом базисе элементов. Последний состоит, как правило, из простых вентилях, выбор которых не привязан ни к какому элементному базису реальной технологической библиотеки. Сложность многоуровневой схемы в таком базисе измеряется, как правило, числом вентилях и оценкой энергопотребления на логическом уровне.

Второй этап заключается в переводе схемы в технологический базис на основе структурного покрытия объектной сети подсхемами, реализующими библиотечные элементы. Такой подход не предполагает кардинальную перестройку схемы, полученной на этапе технологически независимой оптимизации, а отсюда следует, что качество искомого покрытия существенно зависит от структуры объектной многоуровневой сети. Просчеты, допущенные при ее синтезе, не могут быть компенсированы в полной мере на этапе технологического отображения, поэтому в существующих САПР большое внимание уделяется этапу технологически независимой оптимизации и декомпозиции реализуемого описания в объектную сеть.

Технологически независимая оптимизация включает в себя в качестве первого этапа этап минимизации функций реализуемых логических описаний в классе дизъюнктивных нормальных форм (ДНФ). Принимая во внимание специфику КМОП базиса, рационально проводить совместную минимизацию с учетом полярности функций, выбирая ту ее форму (ДНФ или ее инверсию), которая имеет меньшую сложность и энергопотребление. На втором этапе минимизированная система ДНФ, представляемая двухуровневой схемой, декомпозируется в многоуровневую объектную сеть из вентилях И, ИЛИ с ограниченным числом входов, на которые распадается структуры основных элементов КМОП-библиотеки, в которую планируется отобразить в конечном счете схему [3].

Энергопотребление схем прямо пропорционально площади, занимаемой схемой на кристалле. Это означает, что основной путь энергосбережения при проектировании логических схем, прежде всего, подразумевает сокращение площади, занимаемой схемой на кристалле. Однако применение традиционных методов минимизации площади в качестве канвы для методов минимизации энергопотребления требует рассмотрения новых критериев, используемых наряду с критериями минимизации площади схем.

Вероятностные оценки переключательной активности

Согласно упрощенной модели энергия рассеивается КМОП микросхемой всякий раз, когда изменяется сигнал на ее выходе. Средняя величина мощности, рассеиваемой на выходе синхронной схемы, выражается известным соотношением [2, 4]:

$$P_{dyn} = \frac{1}{2} V_{dd}^2 f_{clk} E_s C_L,$$

где V_{dd} – напряжение питания; f_{clk} – частота синхронизации; E_s – переключательная активность выхода схемы, определяемая как математическое ожидание числа логических переходов сигнала (из 1 в 0 или из 0 в 1) за один период синхронизации; C_L – емкостная нагрузка микросхемы.

Из формулы следует, что на логическом уровне, когда схема только синтезируется, энергопотребление схемы может быть снижено путем такого ее преобразования, которое обеспечивает уменьшение сложности (числа транзисторов) и переключательной активности логической схемы без изменения ее функциональности. Для оценки пред-

почтительности вариантов оптимизации схемы на логическом уровне может быть использовано количественное изменение переключательной активности результирующей схемы при выборе этих вариантов. Такой подход к оценке энергопотребления дает возможность сравнивать варианты реализации схемы в процессе ее проектирования, что позволяет уже на логическом уровне проектировать схемы, потенциально имеющие низкое энергопотребление.

В основе метода оценки переключательной активности лежит подход, основанный на задании вероятностей переключения входных сигналов, отражающих частоту смены их значений и используемых для вычисления вероятностей переключения сигналов на выходах узлов схемы. Для оценки вариантов оптимизации схемы на логическом уровне достаточно использовать простые оценки изменения переключательной активности при выборе вариантов оптимизации. Эти оценки выведены в предположении временной и пространственной независимости сигналов на входах элементов схемы [1, 2]. Переключательная активность полюса z_i вычисляется как

$$E(z_i) = 2 p_i (1 - p_i), \quad (1)$$

где p_i – сигнальная вероятность (появления сигнала 1), определяемая средней долей тактов, на которых сигнал на полюсе z_i имеет значение 1. Сигнальные вероятности на выходе простых элементов, типа инвертора, И, ИЛИ, И-НЕ, ИЛИ-НЕ с $n(e)$ входными полюсами подсчитываются (при сделанных предположениях) по формулам:

$$p_e^{\neg} = 1 - p_i; \quad p_e^{\wedge} = \prod_{i=1}^{n(e)} p_i; \quad p_e^{\vee} = 1 - \prod_{i=1}^{n(e)} (1 - p_i). \quad (2)$$

Если заданы сигнальные вероятности входных сигналов схемы, то они могут быть распространены на выходы элементов схемы и через всю схему на ее выходные полюсы. Таким образом, могут быть подсчитаны переключательные активности всех полюсов схемы и соответственно переключательная активность схемы в целом.

Оптимизация двухуровневых логических схем

Для того чтобы направить минимизацию к получению энергосберегающего решения, необходимо в процессе получения простых импликант и безызбыточных покрытий вычислять и учитывать переключательные активности всех простых импликант, используя формулы (1), (2). Для пояснения процедур, направляющих минимизацию на получение нужного результата, рассмотрим операции [5], входящие практически во все методы минимизации.

Операция расширения интервала выполняется путем исключения литералов. При расширении интервала принимаются во внимание две цели: уменьшить сложность этого интервала, т. е. максимально расширить его, и покрыть с его помощью (полностью или частично) как можно больше непокрытых еще интервалов. При минимизации энергопотребления желательно: 1) исключать не любые, а наиболее активные литералы; 2) покрывать не любые, а наиболее энергоемкие интервалы. В силу этого важен *порядок расширения* интервалов: слишком раннее расширение интервала может препятствовать ситуации, когда некий другой интервал покроет этот рассматриваемый. Чтобы снизить энергопотребление, оценивается энергетический вклад каждого интервала, и энергоемкие интервалы расширяются последними, в надежде, что некоторые другие интервалы расширятся и покроют их. На *предмет исключения* проверяются сначала литералы с большей переключательной активностью.

Операция нахождения безызбыточного покрытия заключается в приведении текущего покрытия ДНФ к безызбыточному виду. При поиске безызбыточного множе-

ства простых импликант выбирается минимальное число наименее энергоемких импликант. При этом каждое из минимальных по числу литералов безызбыточных множеств импликант оценивается суммой переключательных активностей входящих в него импликант, в качестве решения выбирается множество с минимальной оценкой переключения.

Оптимизация многоуровневых логических схем

Основной, используемый во всех САПР, метод решения задачи декомпозиции получаемых после минимизации систем ДНФ – алгебраическая декомпозиция [3], в основе которой лежит построение факторизованных форм (или ДНФ) путем поиска факторов – общих частей конъюнкций или ДНФ системы. Факторизованная форма является алгебраической формой задания многоуровневого представления ДНФ. Преобразование исходной минимизированной системы ДНФ в факторизованную форму, которой соответствует многоуровневая реализация из вентилей с ограниченным числом входов, разбивается на два этапа [6].

Совместная нетривиальная факторизация системы ДНФ: последовательно выделяются факторы (конъюнкции или ДНФ), имеющие длину не более чем n_{max} или m_{max} и входящие в не менее чем в n_{dl} выражений. Ключевой вопрос при поиске факторов – вопрос оценки их стоимостного и энергосберегающего качества. Стоимостное качество фактора s с порождающим множеством U_s упрощенно оценивается площадью соответствующего ему минора булевой матрицы, задающей факторизуемое множество выражений: $T_s = c(s)(|U_s| - 1)$, где $c(s)$ – цена реализации выражения s по Квайну. Энергосберегающее качество фактора количественно оценивается тем выигрышем в переключательной активности искомой схемы, который дает выделение этого фактора. В факторизованном множестве выражений переключательные активности всех выражений не изменятся по сравнению с их значениями в исходном множестве, но изменится нагрузка полюсов схемы, соответствующих литералам, входящим в фактор s : она уменьшится на $(|U_s| - 1)$, соответственно изменится и суммарная переключательная активность полюсов схемы, реализующих факторизованное множество выражений. Энергосберегающее качество фактора $s = z_1 z_2 \dots z_l$ предлагается оценивать как $P_s = (|U_s| - 1) \sum_{z_i \in s} E(z_i)$.

Построение скобочных выражений ДНФ каждой из функций системы основано на итеративном вынесении общих литералов конъюнкций заданной ДНФ D за скобки, т. е. на декомпозиции $D = k(A) + B$, где D , A и B – ДНФ (дизъюнкции некоторого множества конъюнкций), а k – конъюнкция, состоящая из некоторого множества литералов, общих для всех конъюнкций из A . Конъюнкция k выбирается следующим образом: ее ядром является некоторый «лучший» литерал x , вместе с этим литералом за скобки выносятся и другие литералы, общие для конъюнкций из ДНФ A . Лучшим считается тот литерал x , который входит в максимальное число l конъюнкций из D , а из равноценных по этому критерию – тот, что имеет максимальное значение переключательной активности. Такой выбор литерала обосновывается тем, что: 1) энергонагрузка на полюс схемы, имеющий переключательную активность E_x и соответствующий литералу x , выносимому из l выражений, уменьшается на величину $(l - 1)E_x$; 2) наиболее активный сигнал будет подаваться на схему ближе к выходу, что позволит уменьшить суммарную переключательную активность схемы.

После окончания итеративного процесса вынесения общих литералов конъюнкций за скобки оставшиеся конъюнкции ранга, большего чем n_{max} , факторизуются раздельно. При этом в фактор включаются в первую очередь литералы, соответствующие

полюсам с наименьшей переключательной активностью, так как наиболее активные сигналы желательно подавать на входы элементов схемы как можно ближе к выходу.

Технологическое отображение

На этапе технологического отображения используются структурные методы покрытия (наиболее эффективные на практике) многоуровневой схемы из вентилях И, ИЛИ библиотечными элементами. При этом каждый библиотечный элемент представляется в виде пары структур из тех же вентилях И, ИЛИ, что и покрываемая сеть: одна из структур имеет инвертор на выходе.

Предполагается, что основные усилия по прогнозному сокращению энергопотребления схемы приходится на этап технологически независимой оптимизации, когда определяется ее структура. На этапе технологического отображения структурное покрытие производится таким образом, чтобы узлы схемы с наибольшей переключательной активностью по возможности оказались внутри библиотечных элементов. В качестве стоимостной оценки варианта покрытия принимается относительная стоимость покрытия одного полюса покрываемой сети, измеряемая отношением числа покрытых полюсов фрагмента сети к стоимости покрывающего библиотечного элемента (измеряемой числом транзисторов), – чем больше это число, тем более желателен вариант покрытия. В качестве энергосберегающей оценки варианта покрытия принимается сумма переключательных активностей вентилях, покрытых библиотечным элементом.

Библиографические ссылки

1. Power Compiler. Automatic Power Management within Galaxy™ Implementation Platform: http://www.synopsys.com/Tools/Implementation/RTL_Synthesis/Documents/powercompiler_ds.pdf.
2. Benini L., De Micheli G. Logic Synthesis for Low Power // Logic Synthesis and Verification. Kluwer Academic Publishers, 2002. P. 197–223.
3. Черемисинова Л. Д. Синтез комбинационных КМОП-схем с учетом энергосбережения // Информатика. 2010. № 4. С. 112–122.
4. Roy K., Prasad S. C. Low Power CMOS VLSI Circuit Design. New York : John Wiley and Sons Inc., 2000.
5. Черемисин Д. И., Черемисинова Л. Д. Минимизация двухуровневых КМОП-схем с учетом энергопотребления // Информационные технологии. 2011. № 5. С. 17–23.
6. Черемисинова Л. Д., Кириенко Н. А. Синтез многоуровневых логических схем с учетом энергопотребления // Информационные технологии. 2013. № 3. С. 8–14.