

РАЗРАБОТКА АППАРАТНО-ПРОГРАММНОЙ ФУНКЦИИ ИЗМЕРЕНИЯ НАПРЯЖЕНИЯ ПЕРЕМЕННОГО ТОКА НА БАЗЕ ПРЕОБРАЗОВАТЕЛЯ-МУЛЬТИМЕТРА В-385

А. С. Дроздов

Белорусский государственный университет, г. Минск;

antosha-02@mail.ru;

науч. рук – А. М. Огурцов, ст. науч. сотрудник

На основе измерительного модуля мультиметра В-385 из состава измерительных модулей комплекса Alma-Meter2, разработанного БГУ, реализована функция измерения напряжения постоянного и переменного тока. Алгоритм функционирования арифметических блоков реализован на базе ПЛИС семейства Cyclone EP1С6Q240С8N в среде Quartus. Среда моделирования цифровых схем – ModelSim.

Ключевые слова: ПЛИС, ModelSim, вольтметр, АЦП, СКО, СКЗ.

В составе разработанного в БГУ многофункционального измерительного комплекса «Alma Meter 2» имеется измерительный модуль мультиметра В-385.

Прибор предназначен для измерения напряжения постоянного тока по двум каналам в диапазоне $\pm 30\text{В}$, а также силы постоянного тока по двум каналам в диапазоне от 10 мкА до 1А.

С целью минимизации затрат ресурсов управляющего компьютера целесообразно расширить функциональную нагрузку модуля управления и синхронизации прибора, реализованного на основе ПЛИС, разработав конвейерные арифметические блоки сумматора и умножителя, позволяющие выполнять предварительную математическую обработку измерительных данных и получение аппаратным способом готовых цифровых результатов с требуемой точностью и производительностью.

Программно-аппаратная доработка расширяет функциональное назначение прибора и позволяет вычислять среднеквадратическое значение (СКЗ), напряжение постоянного и переменного тока - соответственно среднее и среднеквадратическое отклонение (СКО).

Доработка в части расширения функциональных возможностей вольтметра заключается в реализации вычисления напряжения постоянного и переменного тока на базе вычислительных возможностей, предоставляемых архитектурой ПЛИС [1, 2].

Все операции умножения и сложения, применяемые при вычислении параметров СКО и СКЗ, реализуются на аппаратной платформе ПЛИС. Для реализации используется высокоуровневый язык описания аппаратуры VERILOG [3].

Реализация алгоритма требует изменения архитектуры арифметических модулей. Основной проблемой при их разработке стала структурная особенность выполнения арифметических операций в базовом вычислительном блоке. Используемая матрица Altera Cyclone EP1C6Q240C8N содержит в своей структуре вычислительные блоки LAB разрядность которых составляет 10 бит. Это ограничивает возможность реализации блоков сумматоров требуемой разрядности, так как быстрый перенос работает лишь в пределах одного блока LAB. Был реализован такой сумматор, который мог бы использовать блоки LAB как структурные единицы. На рисунке 2 представлена схема полного сумматора, оптимизированного под существующую аппаратную платформу ПЛИС. Как видно, сумматор разделен на блоки по 10 бит, каждый из которых полностью помещается в логическую ячейку ПЛИС. А между блоками реализована конвейерная структура. Так, один этап конвейерной обработки занимает один такт. Таким образом, удалось реализовать требуемые 32-х и 50-ти битные сумматоры.

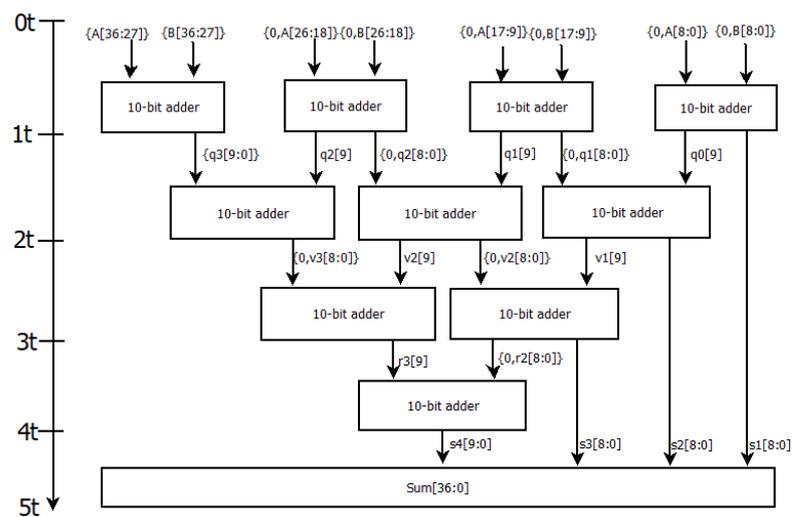


Рис. 2. Разработанная схема требуемого сумматора

При разработке арифметического блока особой проблемой стал учет коэффициента смещения относительно начала измерительной шкалы, так как все расчеты привязаны к среднему значению шкалы. Для корректировки смещения программа определяет выше или ниже среднего уровня лежит отсчет, и в зависимости от этого учитывает коэффициент смещения путем вычитания, соответствующего ему кода из отсчета, лежащего выше среднего уровня, или наоборот, вычитания отсчета из кода среднего уровня. После коррекции смещения программа переходит к операции возведения в квадрат, которая заключается в умножении числа самого на себя, используя модуль умножителя,

специально разработанный для данной задачи. Модуль умножителя работает по правилу умножения двоичных чисел.

Для оптимизации выполнения арифметических операций с 16-битными числами на аппаратной платформе ПЛИС в рамках рассматриваемой задачи предлагаемое решение представляется более оптимальным с точки зрения стоимости решения, ввиду отсутствия необходимости выбирать новейшие поколения ПЛИС с усовершенствованной архитектурой, и времени, которое потребуется на разработку.

Для отладки и проверки функционирования алгоритма и структур данных, реализующих умножитель, использовалась среда моделирования цифровых схем ModelSim [4].

На рисунке 3 представлен результат функционального и временного моделирования работы умножителя, полученный в среде моделирования ModelSim.

Отмеченная графическая область 1 соответствует зоне загрузки значений операндов. Область 2 – демонстрирует протяженность во времени (в тактах) операции умножения. Область 3 - соответствует зоне определения значения результата.

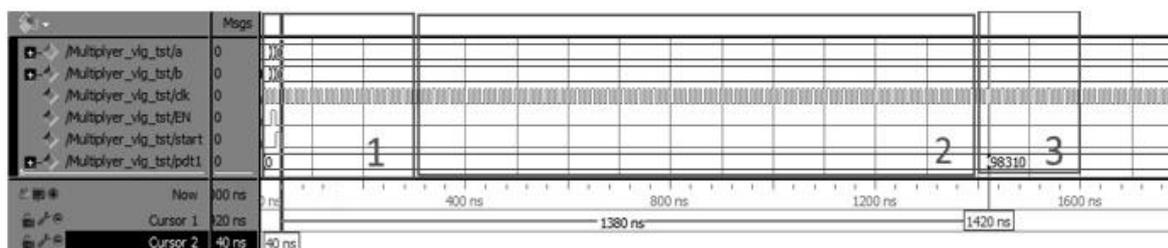


Рис. 3. Результат моделирования работы умножителя двух 16-разрядных чисел

Вывод. Полученные результаты позволяют без дополнительных аппаратных и финансовых затрат расширить функциональные возможности мультиметра В-385, а также произвести обновление алгоритма функционирования ранее выпущенных эксплуатируемых приборов.

Библиографические ссылки

1. Соловьев В.В. Проектирование цифровых систем на основе программируемых логических интегральных схем. М.: Горячая линия-Телеком, 2001, 636 с.
2. Стешенко В.Б. ПЛИС фирмы «Altera»: элементная база, система проектирования и языка описания аппаратуры. М.: Издательский дом «Додека-XXI», 2002. 576 с.
3. Поляков А.К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры. М.: СОЛОН-Пресс, 2003, 320 с.
4. ModelSim-Intel® FPGA Software Support [Электронный ресурс].-Режим доступа: <https://www.intel.com/content/www/us/en/support/programmable/support-resources/design-software/modelsim.html#resources>. – Дата доступа 21.04.2022.