МИНИСТЕРСТВО ОБРАЗОВАНИЯ РЕСПУБЛИКИ БЕЛАРУСЬ

БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

МЕХАНИКО-МАТЕМАТИЧЕСКИЙ ФАКУЛЬТЕТ

Кафедра математической кибернетики

БЫСТРОВ

Александр Александрович

**РАЗРАБОТКА БЛОКА ВЕРИФИКАЦИИ ПРОВОДНОГО ПРОТОКОЛА ПЕРЕДАЧИ ДАННЫХ РАБОТАЮЩЕГО ПО СТАНДАРТУ AMBA AHB**

Дипломная работа

Научный руководитель: Зайцев В. С.

Допущен к защите

«\_\_\_» \_\_\_\_\_\_\_\_\_\_\_\_ 2022 г.

Зав. кафедрой математической кибернетики

профессор, доктор физико-математических наук Гладков А. Л.

Минск, 2022

**РЕФЕРАТ**

**Дипломная работа:** 73 с., 32 рис., 4 табл., 6 источников, 4 прил.

**Ключевые слова:** верификация, AMBA AHB, SystemVerilog, UVM, ООП

**Объект исследования:** блок верификации проводного блока передачи данных работающего по стандарту AMBA AHB

**Цель исследования**: разработать и протестировать среду верификации на языке SystemVerilog

**Методы исследования:** анализ технической литературы, изучение и написание протокола передачи данных

В данной работе был рассмотрена и реализована спецификация протокола AMBA AHB с использованием библиотеки классов UVM для SystemVerilog, включающее в себя мастер драйвер, драйвер слейв, монитор, сиквенсер, агент. Также для тестирования протокола были разработаны набор тестовых последовательностей и набор функциональных групп покрытия, которые покрывают все требования спецификации и проверить их выполнение на 100%.

**Область возможного практического применения:** верификация дизайна цифровых устройств

**ABSTRACT**

**Degree paper:** 73 p., 32 ill., 4 tab., 6 sources, 4 apps.

**Keywords:** verification, AMBA AHB, SystemVerilog, UVM, OOP

**Object of reseach:** verification unit of a wired data transmission unit operating according to the AMBA AHB standard

**Purpose of reseach:** develop and test a verification environment in the SystemVerilog language

**Reseach methods:** analysis of technical literature, study and writing of data transmission protocol

In this paper, the specification of the AMBA AHB protocol was considered and implemented using the UVM class library for SystemVerilog, which includes a master driver, a slave driver, a monitor, a sequencer, an agent. Also, a set of test sequences and a set of functional coverage groups were developed for testing the protocol, which cover all the requirements of the specification and check their implementation by 100%.

**Area of possible practical application**: verification of digital device design

**РЭФЕРАТ**

**Дыпломная праца:** 73 с., 32 мал., 4 табл., 6 крыніц, 4 прыкл.

**Ключавыя словы:** верыфікацыя, AMBA AHB, SystemVerilog, UVM, ААП

**Аб'ект даследавання:** блок верыфікацыі праваднога блока перадачы дадзеных працуючага па стандарце AMBA AHB

**Цэль даследавання:** распрацаваць і пратэставаць сераду верыфікацыі на мове SystemVerilog

**Метады даследавання:** аналіз тэхнічнай літаратуры, вывучэнне і напісання пратаколу перадачы даных

У дадзенай працы была разгледжана і рэалізавана спецыфікацыя пратаколу AMBA AHB з выкарыстаннем бібліятэкі класаў UVM для SystemVerilog, якое ўключае ў сябе майстар драйвер, драйвер слейв, манітор, сіквенсер, агент. Таксама для тэставання пратаколу былі распрацаваны набор тэставых паслядоўнасцяў і набор функцыянальных груп пакрыцця, якія пакрываюць усе патрабаванні спецыфікацыі і праверыць іх выкананне на 100%.

**Вобласць магчымага практычнага прымянення:** верыфікацыя дызайну лічбавых прылад