

МОДЕЛИРОВАНИЕ И ОПТИМИЗАЦИЯ КОНВЕЙЕРНЫХ АРИФМЕТИЧЕСКИХ БЛОКОВ ВОЛЬТМЕТРА НА БАЗЕ ПЛИС

А. С. Дроздов, А. М. Огурцов, Д. Г. Терешко

*Белорусский государственный университет, Минск, Беларусь
E-mail: ogurtsov@bsu.by*

На основе измерительного модуля мультиметра В-385 из состава измерительных модулей комплекса Alma-Meter2, разработанного БГУ, реализована функция измерения напряжения постоянного и переменного тока. Алгоритм функционирования арифметических блоков реализован на базе ПЛИС семейства Cyclone EP1С6Q240С8N в среде Quartus. Среда моделирования цифровых схем – ModelSim.

Ключевые слова: *ПЛИС, ModelSim, вольтметр, АЦП, СКО, СКЗ.*

В составе разработанного в БГУ многофункционального измерительного комплекса «Alma Meter 2» имеется измерительный модуль мультиметра В-385.

Прибор предназначен для измерения напряжения постоянного тока по двум каналам в диапазоне $\pm 30\text{В}$, а также силы постоянного тока по двум каналам в диапазоне от 10 мкА до 1А.

С целью минимизации затрат ресурсов управляющего компьютера целесообразно расширить функциональную нагрузку модуля управления и синхронизации прибора, реализованного на основе ПЛИС, разработав конвейерные арифметические блоки сумматора и умножителя, позволяющие выполнять предварительную математическую обработку измерительных данных и получение аппаратным способом готовых цифровых результатов с требуемой точностью и производительностью.

Программно-аппаратная доработка расширяет функциональное назначение прибора и позволяет вычислять среднеквадратическое значение (СКЗ), напряжение постоянного и переменного тока - соответственно среднее и среднеквадратическое отклонение (СКО).

В исходной реализации блока управления прибором последовательно опрашивается каждый из 4-х каналов аналого-цифрового преобразователя (АЦП) (рисунок 1).

От каждого из них принимается 16384 16-ти битных отсчета. Принятые данные отправляются в блок мультиплексирования. Представленная реализация транслирует данные через буферную память в оперативную память персонального компьютера (ПК) через интерфейс USB.

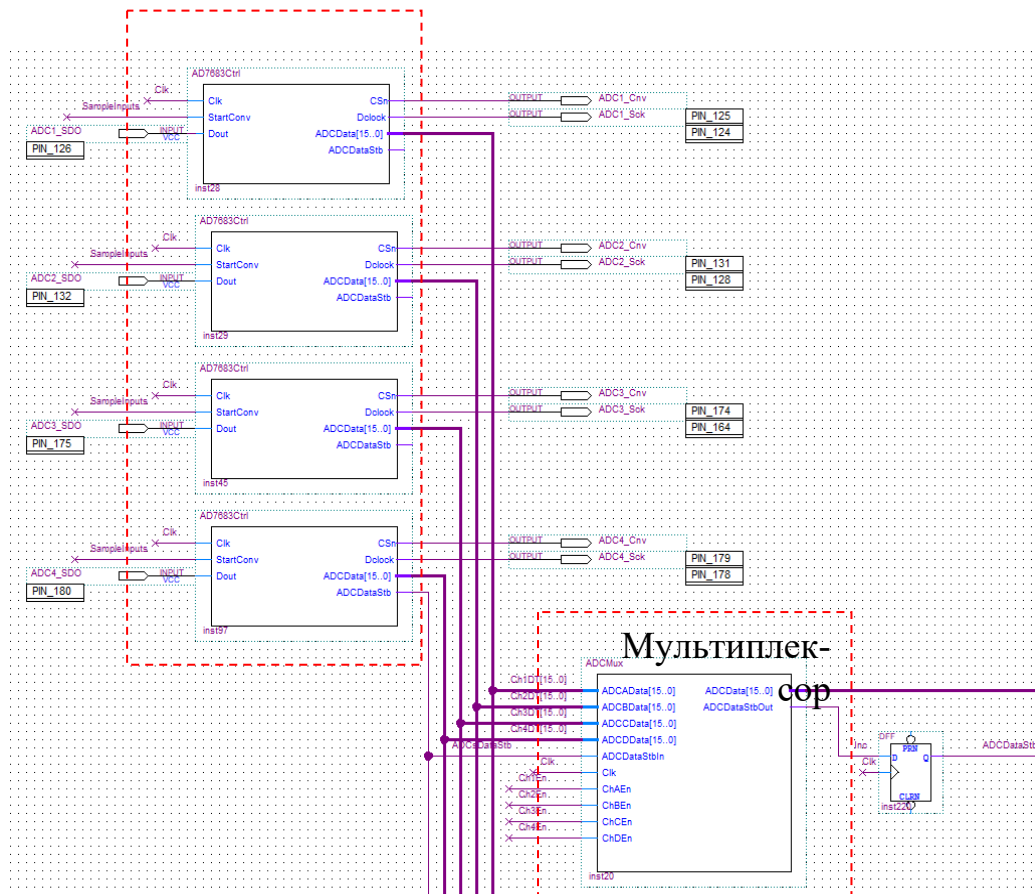


Рис. 1. Модуль АЦП блока управления

Дальнейшая обработка массивов данных от АЦП производится программными средствами.

Доработка в части расширения функциональных возможностей вольтметра заключается в реализации вычисления напряжения постоянного и переменного тока на базе вычислительных возможностей, предоставляемых архитектурой ПЛИС [1, 2].

Все операции умножения и сложения, применяемые при вычислении параметров СКО и СКЗ, реализуются на аппаратной платформе ПЛИС. Для реализации используется высокоуровневый язык описания аппаратуры VERILOG [3].

Вычисление итогового значения СКЗ в вольтах с учетом калибровочных коэффициентов измерительного тракта A_0 и A_1 производится средствами управляющей программы в операционной системе Windows по формуле:

$$U_{СКЗ} = \sqrt{\frac{1}{n} \sum_{i=1}^n (Code_i - A_0)^2 A_1^2}$$

Модернизация функциональных характеристик блока управления прибором затрагивает имеющийся в схеме блок мультиплексирования и предполагает разработку блока умножителя (рисунок 2).

Задача блока – передавать отсчеты АЦП и правильно распределять их во времени, а также транслировать от блока умножителя результат арифметических операций.

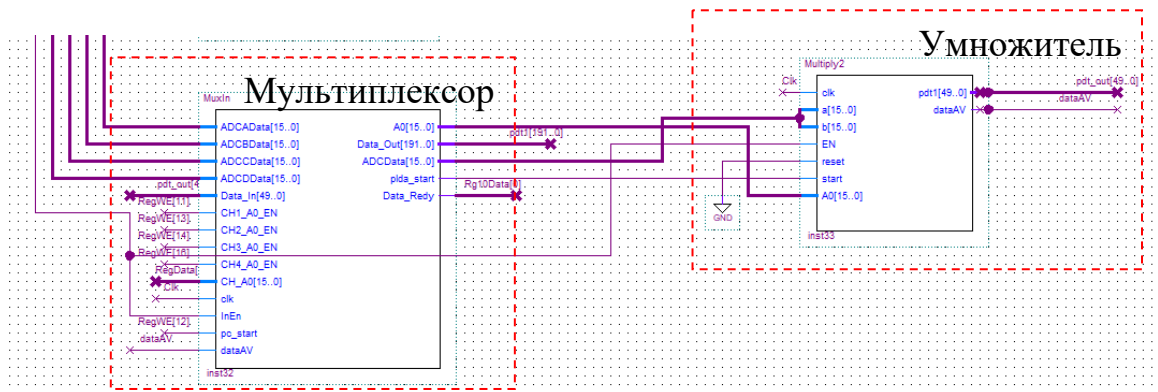


Рис. 2. Модифицированные блоки схемы управления

В блоке умножителя производятся арифметические операции с аккумулярованием результата, результат возвращается в блок мультиплексирования из которого данные попадают в оперативную память ПК по интерфейсу USB 2.0.

Среди вычислений, производимых блоком умножителя: нахождение суммы квадратов отсчетов АЦП и нахождение суммы отсчетов АЦП. Расчет производится 32-х и 50-ти битными сумматорами. Умножение производится по схеме двоичного умножения. Процесс сложения занимает 6 тактов. Процесс умножения - 130 тактов. Частота кварца - 100 МГц.

Двоичный сумматор предполагает в своей структуре наличие цепи переноса. При проектировании n-разрядного сумматора возникает требование уложить время сигнала переноса в один такт тактовой серии. Структура используемой матрицы Altera Cyclone EP1C6Q240C8N имеет в своем составе высокоскоростные цепи переноса в пределах Lab (Logic array block). Время одного такта в реализуемой системе составляет 10 нс. Необходимо чтобы перенос за один такт успел пробежать n-разрядов. Из практического опыта на такой скорости перенос может распространиться в пределах 1, 5 – 2 Lab, что составляет 16-20 бит.

Для реализации операции суммирования квадратов 16 битных чисел с накоплением требуется сумматор-аккумулятор разрядностью не менее 48 бит, что укладывается в конвейер из пяти логических блоков и не позволяет выполнить высокоскоростной перенос.

Для оптимизации выполнения арифметических операций с 16-битными числами на аппаратной платформе ПЛИС в рамках рассматриваемой задачи предлагаемое решение представляется более оптимальным с точки зрения стоимости решения, ввиду отсутствия необходимости выбирать новейшие поколения ПЛИС с усовершенствованной архитектурой, и времени, потраченного на разработку.

Для отладки и проверки функционирования алгоритма и структур данных, реализующих умножитель, использовалась среда моделирования цифровых схем ModelSim [4].

На рисунке 3 представлен результат функционального и временного моделирования работы умножителя, полученный в среде моделирования ModelSim.

Отмеченная графическая область 1 соответствует зоне загрузки значений операндов. Область 2 – демонстрирует протяженность во времени (в тактах) операции умножения. Область 3 – соответствует зоне определения значения результата.

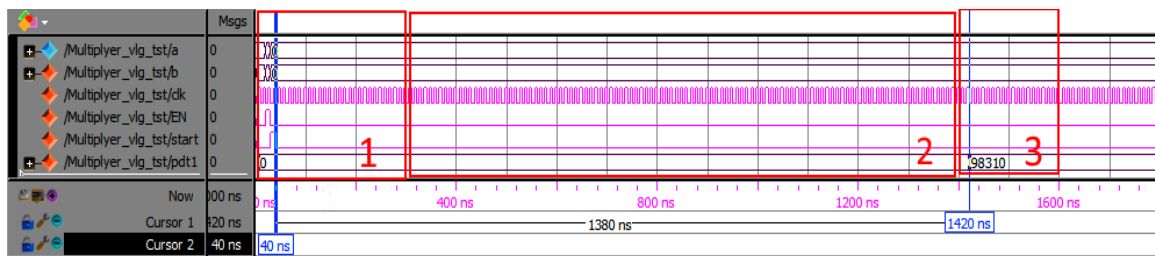


Рис. 3 Результат моделирования работы умножителя двух 16-разрядных чисел

Вывод. Полученные результаты позволяют без дополнительных аппаратных и финансовых затрат расширить функциональные возможности мультиметра В-385, а также произвести обновление алгоритма функционирования ранее выпущенных эксплуатируемых приборов.

БИБЛИОГРАФИЧЕСКИЕ ССЫЛКИ

1. Соловьев В. В. Проектирование цифровых систем на основе программируемых логических интегральных схем. М.: Горячая линия-Телеком, 2001, 636 с.
2. Стешенко В. Б. ПЛИС фирмы «Altera»: элементная база, система проектирования и языки описания аппаратуры. М.: Издательский дом «Додека-XXI», 2002. 576 с.
3. Поляков А.К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры. М.: СОЛОН-Пресс, 2003, 320 с.
4. ModelSim-Intel® FPGA Software Support [Электронный ресурс]. – Режим доступа: <https://www.intel.com/content/www/us/en/support/programmable/support-resources/design-software/modelsim.html#resources>. – Дата доступа 21.04.2022.