

Министерство образования Республики Беларусь  
Учреждение образования  
«Международный государственный экологический  
университет имени А. Д. Сахарова»



---

Факультет мониторинга окружающей среды  
Кафедра автоматизированных систем обработки информации

**В. П. Яновский**

**СБОРНИК  
ЗАДАЧ И УПРАЖНЕНИЙ  
по дисциплине «Электроника  
и автоматизация эксперимента»**

Минск  
2010

УДК 621.38 (075.8)  
ББК 32.859  
Я64

*Рекомендовано к изданию НМС МГЭУ им. А. Д. Сахарова  
(протокол № 7 от 20 апреля 2010 г.)*

**Автор:**

*В. П. Яновский, доцент, к.т.н.*

**Рецензенты:**

доцент кафедры ядерной физики БГУ, к.т.н., доцент *В. В. Шляхтин*;  
профессор кафедры ядерной и радиационной безопасности  
МГЭУ им. А. Д. Сахарова, к.т.н., доцент *В. А. Чудаков*

**Я64 Яновский, В. П.**

Сборник задач и упражнений по дисциплине «Электроника и автоматизация эксперимента» / В. П. Яновский. – Минск : МГЭУ им. А. Д. Сахарова, 2010. – 108 с.

ISBN 978-985-6931-60-7.

Сборник задач и упражнений по дисциплине «Электроника и автоматизация эксперимента» предназначен для студентов специальности 1-40 01 02-06 «Информационные системы и технологии (в экологии)» заочной формы обучения факультета мониторинга окружающей среды Международного государственного экологического университета имени А. Д. Сахарова.

В пособии содержится программа дисциплины, методические указания по изучению каждой темы дисциплины с задачами и упражнениями для самопроверки, а также индивидуальные задания к контрольной работе.

Пособие может быть также использовано студентами других специальностей дневной и заочной форм обучения Международного государственного экологического университета имени А. Д. Сахарова при изучении дисциплины «Электроника и автоматизация эксперимента».

УДК 621.38 (075.8)  
ББК 32.859

ISBN 978-985-6931-60-7

© Яновский В. П., 2010  
© Международный государственный  
экологический университет  
имени А. Д. Сахарова, 2010

## Оглавление

Предисловие.....	4
1. Введение.....	5
1.1. Краткое содержание.....	5
1.2. Задачи и упражнения.....	6
2. Представление информации в ЭВМ.....	7
2.1. Краткое содержание.....	7
2.2. Задачи и упражнения.....	12
3. Основы булевой алгебры.....	15
3.1. Краткое содержание.....	15
3.2. Задачи и упражнения.....	20
4. Логические интегральные схемы.....	24
4.1. Краткое содержание.....	24
4.2. Задачи и упражнения.....	25
5. Комбинационные схемы.....	27
5.1. Краткое содержание.....	27
5.2. Задачи и упражнения.....	35
6. Последовательностные схемы.....	38
6.1. Краткое содержание.....	38
6.2. Задачи и упражнения.....	46
7. Полупроводниковые запоминающие устройства.....	50
7.1. Краткое содержание.....	50
7.2. Задачи и упражнения.....	54
8. Цифровые процессоры.....	55
8.1. Краткое содержание.....	55
8.2. Задачи и упражнения.....	59
9. Обмен данными в параллельном и последовательном форматах.....	61
9.1. Краткое содержание.....	61
9.2. Задачи и упражнения.....	62
10. Цифро-аналоговые преобразователи.....	64
10.1. Краткое содержание.....	64
10.2. Задачи и упражнения.....	67
11. Аналого-цифровые преобразователи.....	69
11.1. Краткое содержание.....	69
11.2. Задачи и упражнения.....	72
12. Лабораторная работа Комбинационные и последовательностные схемы.....	74
12.1. Сведения из теории.....	74
12.2. Задания и методические рекомендации.....	74
12.3. Отчет.....	78
12.4. Контрольные вопросы и задания для самопроверки.....	78
13. Контрольная работа.....	80
Задача 1.....	81
Задача 2.....	82
Ответы.....	83
Литература.....	107

## Предисловие

Курс «Автоматизация эксперимента» представляет собой введение в проблему применения в современных системах автоматизации эксперимента средств обработки данных, основу которых составляют цифровые элементы и устройства. Курс рассчитан на один семестр и является одним из основных, определяющих базовую подготовку по специальности 1-40 01 02-06 «Информационные системы и технологии (в экологии)».

В предлагаемом учебно-методическом пособии по каждому разделу курса приведены рекомендации по самостоятельному изучению теоретического материала, задачи и упражнения, решение которых будет способствовать более прочному усвоению методики анализа и синтеза цифровых устройств систем автоматизации эксперимента.

Студенты заочной формы обучения в соответствии с учебным планом выполняют лабораторную и контрольную работы. Методические указания к лабораторной работе приведены в разделе 12, а задания для контрольной работы – в разделе 13.

Пособие может быть также использовано студентами других специальностей дневной и заочной форм обучения Международного государственного экологического университета имени А. Д. Сахарова при изучении дисциплины «Электроника и автоматизация эксперимента».

# 1. Введение

## 1.1. Краткое содержание

Упрощенная структурная схема системы автоматизации. Процессы аналоговые и цифровые. Программируемая логика. Современные средства вычислительной техники в системах автоматизации. [1], с. 3–4.

**1. Автоматизация эксперимента** – организация функционирования объекта без непосредственного участия человека.

В самом общем случае **систему автоматизации** можно представить в виде аппаратного комплекса, состоящего из автоматизируемого объекта, системы первичных преобразователей (датчиков) и процессора. Датчики обеспечивают преобразование сигналов, характеризующих состояние объекта и воздействующих на него возмущающих воздействий, которые имеют в большинстве случаев неэлектрическую природу, в аналоговые, как правило, электрические сигналы с сохранением необходимой информации. Процессор обрабатывает эти сигналы и вырабатывает сигналы, управляющие объектом. Алгоритм обработки определяется автоматизируемым объектом.

**2. В аналоговых процессорах** реализуется аналоговый способ обработки (аналоговая обработка), в **цифровых процессорах** – цифровой способ (цифровая обработка). Цифровая обработка обладает целым рядом достоинств по сравнению с аналоговой обработкой. Однако невозможно обработать физические аналоговые сигналы, используя только цифровые методы. Практически всегда в системах сбора и обработки данных используется комбинированная обработка сигналов.

Система автоматизации, реализующая комбинированную обработку, наряду с цифровым процессором содержит аналого-цифровой преобразователь и цифро-аналоговый преобразователь.

**3. Аналого-цифровой преобразователь (АЦП)** преобразует аналоговые выходные сигналы первичных преобразователей (датчиков) в цифровые сигналы, которые затем обрабатываются цифровым процессором.

**4. Цифро-аналоговый преобразователь (ЦАП)** преобразует формируемые цифровым процессором управляющие воздействия из цифровой формы в аналоговую.

**5. В программно-управляемых цифровых процессорах** алгоритм обработки информации определяется загружаемым программным обеспечением и практически не зависит от аппаратного обеспечения процессора. Изменение алгоритма обработки осуществляется модификацией программы, структура процессора в целом сохраняется. В настоящее время подоб-

ные цифровые процессоры в системах автоматизации могут быть реализованы на базе ЭВМ, на микропроцессорах и микроконтроллерах.

**6.** Алгоритм обработки информации в **цифровых процессорах с программируемой структурой** определяется структурной схемой процессора. Реализация подобных процессоров и их широкое использование в системах автоматизации стало возможным с появлением новой элементной базы – **программируемых логических интегральных схем** (ПЛИС – Programmable Logic Devices – PLD). Главным отличительным свойством ПЛИС является возможность их настройки на выполнение заданных функций самим пользователем. Процесс проектирования цифрового устройства на основе ПЛИС заключается в описании его функционирования на входном языке используемого программного средства, выполнении автоматизированного синтеза, проведении моделирования и настройке выбранной ПЛИС с помощью программатора.

## 1.2. Задачи и упражнения

1.1. Объясните назначение датчиков в системах автоматизации.

1.2. Чем определяется алгоритм обработки данных, выполняемый процессором?

1.3. Дайте определение следующим понятиям:

- аналоговый сигнал;
- цифровой сигнал;
- аналоговый процессор;
- цифровой процессор.

1.4. Дайте определение аналогового и цифрового процессоров. Перечислите преимущества и недостатки цифровых процессоров по сравнению с аналоговыми.

1.5. Чем обусловлена необходимость применения аналого-цифровых преобразователей в цифровых системах автоматизации?

1.6. Объясните сущность программного принципа реализации цифровых процессоров.

1.7. Дайте сравнительную характеристику программного и аппаратного принципов построения цифровых процессоров.

1.8. Каковы области применения цифровых устройств (устройств цифровой техники)? Назовите системы, в которых используются цифровые устройства.

## 2. Представление информации в ЭВМ

### 2.1. Краткое содержание

Системы счисления и коды. Кодирование символов. Перевод чисел из одной системы счисления в другую. Сложение и вычитание двоичных чисел без знака. Представление отрицательных чисел. Прямой код, обратный код и дополнительный код. Сложение и вычитание двоичных чисел со знаком. [1], с. 5–18.

**1. Кодом** называют систему условных знаков (символов), используемых для передачи, обработки и хранения информации.

Конечная последовательность условных знаков (символов) образует **кодovou комбинацию**, или **слово**.

**2. Система счисления** – совокупность приемов и правил наименования и обозначения чисел, позволяющая установить взаимно однозначное соответствие между любым числом и его представлением в виде кодовой комбинации.

**3. В непозиционных системах счисления** число выражается кодовой комбинацией, в которой значение каждого символа определяется только его конфигурацией.

**4. В позиционных системах счисления** значение символа определяется не только его конфигурацией, но и позицией в кодовой комбинации.

**5. В позиционных системах счисления с непосредственным представлением чисел** для каждой цифры имеется отдельный символ.

В позиционной системе счисления с непосредственным представлением чисел число  $A$  может быть записано в виде

$$A_q = a_{n-1}q^{n-1} + \dots + a_1q + a_0q^0 + a_{-1}q^{-1} + \dots + a_{-m}q^{-m} = \sum_{i=-m}^n a_i q^i, \quad (2.1)$$

где  $A_q$  – произвольное число, записанное в системе счисления с основанием  $q$ ;  $a_i$  – цифра (символ) системы счисления в  $i$ -м разряде;  $i$  – номер разряда;  $n$  и  $m$  – количество разрядов в целой и дробной части числа соответственно.

**6. Разряд с наибольшим весом**, обычно называемый **старшим значащим разрядом (СЗР)**, записывается крайним слева, а крайним справа записывается **младший значащий разряд (МЗР)**, имеющий наименьший во всей кодовой комбинации вес.

**7. Двоичная система счисления** – позиционная система счисления, основание которой равно 2. В ней используются только два символа: 0 и 1.

**8. Восьмеричная система счисления** – позиционная система счисления, основание которой равно 8. В ней используются 8 символов: 0, 1, ..., 7. Каждому восьмеричному разряду однозначно соответствует определенная трехразрядная двоичная кодовая комбинация.

**9. Шестнадцатеричная система счисления** – позиционная система счисления, основание которой равно 16. В ней используются 16 символов: 0, 1, ..., 9 и A, B, C, D, E, F. Каждому шестнадцатеричному разряду однозначно соответствует определенная четырехразрядная двоичная кодовая комбинация.

**10. Для перевода целых чисел из десятичной системы счисления** в систему счисления с другим основанием используется **метод деления**.

*Пример 2.1.* Перевести число  $b = 2610$  из десятичной системы счисления в двоичную.

*Решение:*  $26:2 = 13$ , остаток 0 (МЗР)

$13:2 = 6$ , остаток 1

$6:2 = 3$ , остаток 0

$3:2 = 1$ , остаток 1

$1:2 = 0$ , остаток 1 (СЗР)

*Ответ:*  $b = 26_{10} = 11010_2$ .

*Пример 2.2.* Перевести число  $b = 31581_{10}$  из десятичной системы счисления в шестнадцатеричную.

*Решение:*  $31581:16 = 1973$ , остаток 13 (D) (МЗР)

$1973:16 = 123$ , остаток 5

$123:16 = 7$ , остаток 11 (B)

$7:16 = 0$ , остаток 7 (СЗР)

*Ответ:*  $b = 31581_{10} = 7B5D_{16}$ .

**11. Для перевода правильных дробей из десятичной системы счисления** в систему счисления с другим основанием используется **метод умножения**.

*Пример 2.3.* Перевести число  $b = 0,437510$  из десятичной системы счисления в двоичную.

*Решение:*  $0,4375 \cdot 2 = 0,8750$       Целая часть: 0    (СЗР)

$0,8750 \cdot 2 = 1,750$             Целая часть: 1

$0,7500 \cdot 2 = 1,5$                 Целая часть: 1

$0,5000 \cdot 2 = 1,0$                 Целая часть: 1

*Ответ:*  $b = 0,437510 = 0,01112$ .

**12. Для перевода чисел из недесятичной позиционной системы счисления в десятичную** можно воспользоваться выражением (2.1), в соответствии с которым необходимые арифметические действия выполняются в десятичной системе счисления.

*Пример 2.4.* Перевести число  $b = 11111102$  из двоичной системы счисления в десятичную.

*Решение:*  $1111110_2 = 1 \cdot 2^6 + 1 \cdot 2^5 + 1 \cdot 2^4 + 1 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 126_{10}$ .

*Ответ:*  $b = 11111102 = 126_{10}$ .

**Пример 2.5.** Перевести число  $b = 7E_{16}$  из шестнадцатеричной системы счисления в десятичную.

**Решение:**  $7E_{16} = 7 \cdot 16^1 + 14 \cdot 16^0 = 126_{10}$ .

**Ответ:**  $b = 7E_{16} = 126_{10}$ .

**13.** Для перевода целого числа из двоичной системы счисления в восьмеричную (шестнадцатеричную) необходимо разбить его на группы по три (четыре) бита, начиная с младшего значащего разряда, а затем каждую группу заменить ее восьмеричным (шестнадцатеричным) эквивалентом.

**Пример 2.6.** Перевести число  $b = 101110111001_2$  из двоичной системы счисления в восьмеричную.

**Решение:** Разбиваем, начиная с младшего значащего разряда, исходное число на группы по три бита  $101110111001_2 = 101\ 110\ 111\ 001$ .

Замена каждой группы восьмеричным эквивалентом:

$$101_2 = 5_8$$

$$110_2 = 6_8$$

$$111_2 = 7_8$$

$$001_2 = 1_8$$

**Ответ:**  $b = 101110111001_2 = 5671_8$ .

**Пример 2.7.** Перевести число  $b = 111110111001_2$  из двоичной системы счисления в шестнадцатеричную.

**Решение:** Разбиваем, начиная с младшего значащего разряда, исходное число на группы по четыре бита  $111110111001_2 = 1111\ 1011\ 1001$ .

Замена каждой группы шестнадцатеричным эквивалентом:

$$1111_2 = F_{16}$$

$$1011_2 = B_{16}$$

$$1001_2 = 9_{16}$$

**Ответ:**  $b = 111110111001_2 = FB9_{16}$ .

**14.** При переводе чисел из восьмеричной (шестнадцатеричной) системы счисления в двоичную каждый восьмеричный (шестнадцатеричный) разряд заменяется его двоичным эквивалентом.

**Пример 2.8.** Перевести число  $b = 3456_8$  из восьмеричной системы счисления в двоичную.

**Решение:** Замена каждого разряда восьмеричного числа его двоичным эквивалентом:

$$3_8 = 011_2$$

$$4_8 = 100_2$$

$$5_8 = 101_2$$

$$6_8 = 110_2$$

**Ответ:**  $b = 3456_8 = 011\ 100\ 101\ 110_2$ .

**Пример 2.9.** Перевести число  $b = 7EF5_{16}$  из шестнадцатеричной системы счисления в двоичную.

**Решение:** Замена каждого разряда шестнадцатеричного числа его двоичным эквивалентом:

$$7_{16} = 0111_2$$

$$E_{16} = 1110_2$$

$$F_{16} = 1111_2$$

$$5_{16} = 0101_2$$

**Ответ:**  $b = 7EF5_{16} = 0111\ 1110\ 1111\ 0101_2$ .

**15.** Позиционная система счисления, в которой каждая цифра кодируется определенной комбинацией нескольких символов, называется **системой с кодированным представлением чисел**.

**16.** В **двоично-десятичном коде** каждая цифра десятичного представления числа кодируется с помощью четырех двоичных бит. **Переход к двоично-десятичному представлению десятичных чисел** осуществляется заменой каждого разряда десятичного числа группой из четырех двоичных символов (двоичных тетрад), которые в случае кода 8-4-2-1 имеют такие же весовые коэффициенты, как в двоичной системе счисления.

**Пример 2.10.** Записать число  $b = 375_{10}$  в двоично-десятичном коде 8-4-2-1.

**Решение:** Замена каждого разряда десятичного числа его двоичным эквивалентом:

$$3_{10} = 0011_2$$

$$7_{10} = 0111_2$$

$$5_{10} = 0101_2$$

**Ответ:**  $b = 375_{10} = 0011\ 0111\ 0101_2$ .

**17.** Код **ASCII** (American Standard Code for Information Interchange) – американский стандартный код для обмена информацией – дает возможность кодировать символы для их хранения и представления в ЭВМ. Каждый символ кодируется 8 битами, например, символ А кодируется последовательностью 100 0001, R – 101 0010.

**18.** **Сложение двоичных чисел** базируется на формировании четырех сумм:  $0 + 0 = 0$ ,  $0 + 1 = 1$ ,  $1 + 1 = 10$ ,  $1 + 1 + 1 = 11$ . При сложении двух двоичных разрядов формируются значения суммы и переноса в следующий разряд.

При сложении многоразрядных чисел вначале находятся значения суммы и переноса младших значащих разрядов слагаемых, затем складывается следующая пара разрядов слагаемых с переносом из предыдущего разряда. При этом формируются значения суммы и переноса в следующий разряд. Описанный процесс обработки разрядов слагаемых продолжается справа налево до тех пор, пока не будут найдены значения суммы и переноса, соответствующие старшим значащим разрядам слагаемых.

**Пример 2.11.** Сложить 10010 и 11011.

**Решение:**

1	1	Разряды переноса
10010		Слагаемое
+ 11011		Слагаемое
101101		Сумма

**Ответ:** 101101.

**19. Вычитание двоичных чисел** базируется на формировании четырех разностей:  $0 - 0 = 0$ ,  $1 - 0 = 1$ ,  $1 - 1 = 0$ ,  $10 - 1 = 1$ .

**Пример 2.12.** Вычесть число 10110 из числа 11011.

**Решение:**

1	Разряды заема
11011	Уменьшаемое
- 10110	Вычитаемое
00101	Разность

**Ответ:** 00101.

**20. Для представления чисел со знаком** выделяется дополнительный разряд, называемый знаковым и располагаемый обычно слева от старшего значащего разряда числа. Принято в знаковый разряд положительных чисел записывать нуль, в знаковый разряд отрицательных – единицу.

**21. Прямой код, обратный код и дополнительный код** положительных чисел совпадают.

Для получения обратного кода отрицательного числа достаточно проинвертировать значащую часть исходного числа.

**Пример 2.13.** Перевести числа  $A = 57_{10}$  и  $B = -57_{10}$  в двоичный код и записать их в обратном коде

**Решение:**  $[A]_{\text{пр.}} = 0.0111001$                        $[B]_{\text{пр.}} = 1.0111001$   
 $[A]_{\text{обр.}} = 0.0111001$                        $[B]_{\text{обр.}} = 1.1000110$

**Ответ:**  $[A]_{\text{обр.}} = 0.0111001$ ,  $[B]_{\text{обр.}} = 1.1000110$ .

Для получения дополнительного кода отрицательного числа достаточно к его обратному коду приплюсовать единицу.

**Пример 2.14.** Перевести числа  $A = 57_{10}$  и  $B = -57_{10}$  в двоичный код и записать их в дополнительном коде.

**Решение:**  $[A]_{\text{пр.}} = 0.0111001$                        $[B]_{\text{пр.}} = 1.0111001$   
 $[A]_{\text{обр.}} = 0.0111001$                        $[B]_{\text{обр.}} = 1.1000110$   
 $[A]_{\text{доп.}} = 0.0111001$                        $[B]_{\text{доп.}} = [B]_{\text{обр.}} + 1 = 1.1000110 + 1 = 1.1000111$

**Ответ:**  $[A]_{\text{доп.}} = 0.0111001$ ,  $[B]_{\text{доп.}} = 1.1000111$ .

**22. Применение обратного (дополнительного) кода** позволяет заменить операцию вычитания операцией сложения. При выполнении алгеб-



10, 101, 1111010, 1110011010, 111100, 10101.

2.7. Преобразуйте следующие двоичные числа в шестнадцатеричные:  
10, 1111010, 101, 1011111001, 10111, 1110011010.

2.8. Преобразуйте следующие восьмеричные числа в двоичные:  
347, 34725, 2641, 766305, 32, 257.

2.9. Преобразуйте следующие шестнадцатеричные числа в двоичные:  
E456, 56FD78, 1233, B17CD6, 5F, 3579.

2.10. Для каждого из десятичных чисел 25, 115, 37, 689, 45 и 94 запишите его представление в двоично-десятичном коде 8-4-2-1.

2.11. Преобразуйте записанные в двоично-десятичном коде 8-4-2-1 числа 1101110010, 100101000101, 10010000110, 11001111000, 1101011001, 10101101000 в десятичные числа.

2.12. Сложите следующие двоичные числа:  $11011 + 1101$ ,  $11101 + 1110$ ,  $10010 + 1011$ ,  $11001 + 1010$ ,  $110100 + 10111$ ,  $10101 + 10100$ .

2.13. Вычтите следующие двоичные числа без знака:  $11011 - 1101$ ,  $11101 - 1110$ ,  $10010 - 1011$ ,  $11001 - 1010$ ,  $110100 - 11101$ ,  $10101 - 10100$ .

2.14. Запишите следующие десятичные числа со знаком в виде восьмиразрядных двоичных чисел в обратном коде:  $-47$ ,  $-85$ ,  $+49$ ,  $+30$ ,  $-107$ ,  $-91$ .

2.15. Запишите следующие десятичные числа со знаком в виде восьмиразрядных двоичных чисел в дополнительном коде:  $-27$ ,  $-65$ ,  $+69$ ,  $+37$ ,  $-117$ ,  $-99$ .

2.16. Просуммируйте в обратном коде восьмиразрядные двоичные эквиваленты следующих пар десятичных чисел:  $-27$  и  $72$ ,  $-65$  и  $60$ ,  $69$  и  $-117$ ,  $-37$  и  $99$ ,  $-103$  и  $15$ . Результаты представьте в прямом коде.

2.17. Просуммируйте в дополнительном коде восьмиразрядные двоичные эквиваленты следующих пар десятичных чисел:  $27$  и  $-72$ ,  $65$  и  $-60$ ,  $-69$  и  $117$ ,  $37$  и  $-99$ ,  $103$  и  $-15$ . Результаты представьте в прямом коде.

2.18. Каждое из следующих соотношений, содержащих арифметические действия, справедливо, по крайней мере, в одной из систем счисления. Найдите возможные основания соответствующих систем счисления.

(а)  $2345 + 4321 = 6666$ ;                      (б)  $22/2 = 11$ ;

(в)  $23 + 32 + 41 + 12 = 213$ ;                      (г)  $41/3 = 13$ ;

(д)  $\sqrt{41} = 5$ .

2.19. Запишите восьмеричное представление в коде ASCII символов «а» и «b», используя шестнадцатеричное представление «а» =  $61_{16}$  и «b» =  $62_{16}$ . Затем запишите восьмеричное представление 16-разрядного слова, составленного из двух байт вместо «ab». Почему они различаются? Определите, каким будет восьмеричное представление 16-разрядного слова, содержащего сочетание «ba» в коде ASCII.

2.20. Что является шестнадцатеричным эквивалентом числа  $73257_{10}$ ?

2.21. Рассчитайте десятичный эквивалент неправильной двоичной дроби  $11011,11011$ .

2.22. Рассчитайте двоичный эквивалент неправильной десятичной дроби  $57932,375$ .

2.23. Запишите шестнадцатеричные числа от  $190$  до  $1A0$  включительно.

2.24. Сложите следующие шестнадцатеричные числа  $F3B57A_{16}$  и  $26DC78_{16}$ . Проверьте полученный результат, просуммировав десятичные эквиваленты этих чисел.

## 3. Основы булевой алгебры

### 3.1. Краткое содержание

Булевы функции одной и двух переменных. Основные законы булевой алгебры. Совершенные нормальные формы. Минимизация булевых функций. [1], с. 19–29.

1. Для формального описания цифровых систем применяют аппарат **алгебры логики** (булевой алгебры). Основным ее понятием является высказывание – некоторое предложение, о котором можно утверждать, что оно истинно или ложно. Для обозначения истинности высказывания используется цифра 1, для обозначения ложности – 0.

2. **Логическая (булева, или двоичная)** переменная – такая величина, которая может принимать только два значения (0 или 1). Логическая (булева, или двоичная) функция – функция одной или нескольких логических переменных, принимающая на наборах этих логических переменных значения, равные 0 или 1.

3. **Функционально полный набор** булевых функций (**базис**) – это ограниченный набор булевых функций, обеспечивающий на основе принципа суперпозиции построение булевых функций любой сложности.

4. Наиболее употребительны **табличный** и **аналитический способы задания булевой функции**. В первом случае функцию задают в виде таблицы, в левой части которой записаны в порядке возрастания номеров двоичные наборы ее аргументов, а в правой – значение функции для каждого набора. Такие таблицы называются **таблицами истинности**. Аналитический способ описания состоит в задании булевых функций с помощью аналитических выражений, часто называемых структурными формулами и представляющих собой суперпозицию функций отрицания, дизъюнкции и конъюнкции.

5. В современных цифровых устройствах логические высказывания отображаются электрическим напряжением, имеющим два различных уровня: высокий и низкий. В так называемой **положительной логике** высокий уровень напряжения ставят в соответствие логической единице, а низкий уровень напряжения – логическому нулю. В **отрицательной логике** высокий уровень напряжения соответствует логическому нулю, низкий – логической единице. Цифровые схемы, реализующие простейшие булевы функции над входными сигналами согласно правилам булевой алгебры и формирующие выходные сигналы, соответствующие значениям реализуемых функций, называются логическими элементами.

*Пример 3.1.* Составьте таблицу истинности и запишите структурную формулу булевой функции двух переменных, принимающей единичное значение

ние, если оба ее аргумента (и первый, и второй) принимают единичное значение. Приведите условное графическое обозначение логического элемента (ЛЭ), реализующего эту функцию.

**Решение:** Таблица истинности (табл. 3.1) может быть составлена на основании словесного определения функции  $y = f(x_1, x_0)$ , из которого следует, что  $y = 1$ , если  $x_1 = x_0 = 1$ . При всех остальных комбинациях  $x_1$  и  $x_0$   $y = 0$ . Структурная формула  $y = x_1 x_0$  следует из таблицы. Рассматриваемая булева функция называется конъюнкцией, логическим умножением или логическим И. Условное графическое обозначение ЛЭ 2И, реализующего эту функцию, приведено на рис. 3.1.

**Пример 3.2.** Проанализируйте условное графическое обозначение логического элемента, представленного на рис. 3.2. Запишите структурную формулу и составьте таблицу истинности.

**Решение:** На рис. 3.2 приведено условное графическое обозначение ЛЭ 2ИЛИ, реализующего дизъюнкцию – булеву функцию двух переменных. Эта функция принимает единичное значение, если первый ее аргумент принимает единичное значение, или второй, или оба одновременно. Таблица истинности (табл. 3.2) может быть составлена на основании этого словесного определения функции, структурная формула  $y = x_1 + x_0$  следует из таблицы истинности.

**6. Структурные формулы** булевых функций служат основой для построения цифровых устройств, реализующих заданные булевы функции. Структурная формула может быть записана в **совершенной дизъюнктивной нормальной форме (СДНФ)**.

Логическое произведение всех аргументов булевой функции, взятых с инверсией или без нее, называют минтермом.

Структурная формула булевой функции в СДНФ представляет собой логическую сумму ее минтермов, записанных для тех наборов значений аргументов функции, на которых она принимает единичное значение.

**Пример 3.3.** В табл. 3.3 приведена таблица истинности булевой функции ИСКЛЮЧАЮЩЕЕ ИЛИ. Запишите структурную формулу в СДНФ этой функции.

Таблица 3.1

Таблица истинности

$x_1$	$x_0$	$y$
0	0	0
0	1	0
1	0	0
1	1	1

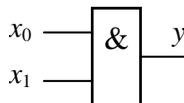


Рис. 3.1. ЛЭ 2И

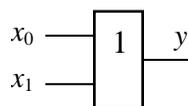


Рис. 3.2. ЛЭ 2ИЛИ

Таблица 3.2

Таблица истинности

$x_1$	$x_0$	$y$
0	0	0
0	1	1
1	0	1
1	1	1

Таблица 3.3

**Решение:** Для составления структурной формулы булевой функции в СДНФ по ее таблице истинности достаточно записать дизъюнкцию минтермов для всех единичных наборов функции. При этом символ любой переменной этой функции в минтерме берется со знаком отрицания (инверсии), если конкретное значение этой переменной в рассматриваемом наборе равно 0.

**Таблица истинности**

$x_1$	$x_0$	$y$
0	0	0
0	1	1
1	0	1
1	1	0

Табл. 3.3 содержит два единичных набора. Для первого единичного набора минтерм  $m_1 = \bar{x}_1x_0$ , для второго –  $m_2 = x_1\bar{x}_0$ . Структурная формула в СДНФ  $y = m_1 + m_2 = \bar{x}_1x_0 + x_1\bar{x}_0$ .

**Пример 3.4.** Запишите структурную формулу в СДНФ функции, таблица истинности которой приведена в табл. 3.4.

**Решение:** Для составления структурной формулы булевой функции в СДНФ по ее таблице истинности запишем минтермы для всех единичных наборов в дополнительном столбце таблицы истинности (табл. 3.5). Затем запишем структурную формулу как сумму этих минтермов

$$y = \bar{x}_3\bar{x}_2x_1\bar{x}_0 + \bar{x}_3\bar{x}_2x_1x_0 + \bar{x}_3x_2\bar{x}_1\bar{x}_0 + x_3\bar{x}_2\bar{x}_1\bar{x}_0 + x_3\bar{x}_2\bar{x}_1x_0 + x_3\bar{x}_2x_1x_0 + x_3x_2\bar{x}_1\bar{x}_0 + x_3x_2x_1\bar{x}_0.$$

Таблица 3.4

Таблица истинности

$x_3$	$x_2$	$x_1$	$x_0$	$y$
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	1	0

Таблица 3.5

Таблица истинности

$x_3$	$x_2$	$x_1$	$x_0$	$y$	
0	0	0	0	0	
0	0	0	1	0	
0	0	1	0	1	$\bar{x}_3\bar{x}_2x_1\bar{x}_0$
0	0	1	1	1	$\bar{x}_3\bar{x}_2x_1x_0$
0	1	0	0	1	$\bar{x}_3x_2\bar{x}_1\bar{x}_0$
0	1	0	1	0	
0	1	1	0	0	
0	1	1	1	0	
1	0	0	0	1	$x_3\bar{x}_2\bar{x}_1\bar{x}_0$
1	0	0	1	1	$x_3\bar{x}_2\bar{x}_1x_0$
1	0	1	0	0	
1	0	1	1	1	$x_3\bar{x}_2x_1x_0$
1	1	0	0	0	
1	1	0	1	1	$x_3x_2\bar{x}_1x_0$
1	1	1	0	1	$x_3x_2x_1\bar{x}_0$
1	1	1	1	0	

7. Из достаточно большого числа методов минимизации (упрощения) булевых функций наиболее часто используются на практике **метод тождественных преобразований** и **табличный метод минимизации**, основанный на применении карт Карно.

8. **Метод тождественных преобразований** основан на непосредственном использовании теорем булевой алгебры для упрощения структурных формул. Для упрощения булевых функций можно:

- использовать теоремы де Моргана  $\overline{xy} = \bar{x} + \bar{y}$ ,  $x + y = \overline{\bar{x}\bar{y}}$ ;
- сгруппировать члены таким образом, чтобы получить выражения  $x + \bar{x} = 1$ ,  $x \cdot \bar{x} = 0$ ,  $x + x = x$ ,  $x \cdot x = x$ ,  $x + \bar{x}y = x + y$ ,  $x + 1 = 1$ ;
- добавить члены, которые не изменяют значения функции, чтобы сгруппировать слагаемые с целью упрощения.

**Пример 3.5.** Используя метод тождественных преобразований, упростите следующие структурные формулы:

(а)  $y = x_1\bar{x}_0 + x_1$ ;

(б)  $y = \overline{(x_1 + x_0)} x_3x_2 + \overline{(x_1 + x_0)}$ ;

(в)  $y = (x_4\bar{x}_3x_2 + \bar{x}_4)(x_1 + x_0) + (x_4x_2 + \bar{x}_4x_3)(x_1 + x_0) + (x_1 + x_0)$ .

**Решение:** (а)  $y = x_1\bar{x}_0 + x_1 = x_1(\bar{x}_0 + 1) = 1$ .

(б)  $y = \overline{(x_1 + x_0)} x_3x_2 + \overline{(x_1 + x_0)} = \overline{(x_1 + x_0)}(x_3x_2 + 1) = \overline{(x_1 + x_0)}$ .

(в)  $y = (x_4\bar{x}_3x_2 + \bar{x}_4)(x_1 + x_0) + (x_4x_2 + \bar{x}_4x_3)(x_1 + x_0) + (x_1 + x_0) = (x_1 + x_0)[(x_4\bar{x}_3x_2 + \bar{x}_4) + (x_4x_2 + \bar{x}_4x_3) + 1] = (x_1 + x_0)$ .

**Пример 3.6.** Используя метод тождественных преобразований, упростите структурную формулу  $y = (x_2 + \bar{x}_0)(x_2 + x_1)$ .

**Решение:**  $y = (x_2 + \bar{x}_0)(x_2 + x_1) = x_2x_2 + x_2x_1 + \bar{x}_0x_2 + \bar{x}_0x_1 = x_2 + x_2x_1 + \bar{x}_0x_2 + \bar{x}_0x_1 = x_2(1 + x_1 + \bar{x}_0) + \bar{x}_0x_1 = x_2 + \bar{x}_0x_1$ .

**Пример 3.7.** Используя метод тождественных преобразований, упростите структурную формулу  $y = \bar{x}_1 + x_1\bar{x}_0$ .

**Решение:**  $y = \bar{x}_1 + x_1\bar{x}_0 = \bar{x}_1(x_0 + \bar{x}_0) + x_1\bar{x}_0 = \bar{x}_1x_0 + \bar{x}_1\bar{x}_0 + x_1\bar{x}_0 = (\bar{x}_1x_0 + \bar{x}_1\bar{x}_0) + (x_1\bar{x}_0 + \bar{x}_1\bar{x}_0) = \bar{x}_1(x_0 + \bar{x}_0) + \bar{x}_0(x_1 + \bar{x}_1) = \bar{x}_1 + \bar{x}_0$ .

**Пример 3.8.** Используя метод тождественных преобразований, упростите структурную формулу  $y = x_3\bar{x}_2x_1 + (\bar{x}_3 + x_2 + \bar{x}_1)x_0$ .

**Решение:**  $y = x_3\bar{x}_2x_1 + (\bar{x}_3 + x_2 + \bar{x}_1)x_0 = x_3\bar{x}_2x_1 + \overline{(\bar{x}_3 + x_2 + \bar{x}_1)}x_0 = x_3\bar{x}_2x_1 + x_3\bar{x}_2x_1x_0 + x_3\bar{x}_2x_1\bar{x}_0 + \overline{(\bar{x}_3 + x_2 + \bar{x}_1)}x_0 = (x_3\bar{x}_2x_1x_0 + x_3\bar{x}_2x_1\bar{x}_0) + (x_3\bar{x}_2x_1x_0 + x_3\bar{x}_2x_1x_0) = x_3\bar{x}_2x_1 + x_0$ .

**Пример 3.9.** Используя метод тождественных преобразований, упростите структурную формулу  $y = \bar{x}_2x_1x_0 + x_2\bar{x}_1x_0 + x_2x_1\bar{x}_0 + x_2x_1x_0$ .

**Решение:** Воспользуемся свойством логического сложения  $x = x + x$ , а затем произведем все возможные склеивания элементарных конъюнкций:

$$y = (\bar{x}_2x_1x_0 + x_2x_1x_0) + (x_2\bar{x}_1x_0 + x_2x_1x_0) + (x_2x_1\bar{x}_0 + x_2x_1x_0) = x_1x_0 + x_2x_0 + x_2x_1.$$

**9. Карты Карно** – это графическое представление таблиц истинности в виде специальных прямоугольных таблиц с числом клеток, равным числу всех возможных наборов значений аргументов булевой функции. Клетки карты нумеруются, причем их номера совпадают с номерами соответствующих им наборов. Чтобы задать некоторую булеву функцию с помощью карты Карно, необходимо в клетках, соответствующих единичным наборам этой функции, записать 1, а в клетках, соответствующих нулевым наборам, записать 0.

**Пример 3.10.** С помощью карты Карно упростите структурную формулу булевой функции, заданной таблицей истинности табл. 3.6.

**Решение:** Запишем структурную формулу в СДНФ как сумму минтермов для всех единичных наборов таблицы истинности (табл. 3.6):  $y = \bar{x}_3\bar{x}_2\bar{x}_1\bar{x}_0 + \bar{x}_3\bar{x}_2x_1\bar{x}_0 + \bar{x}_3x_2x_1\bar{x}_0 + \bar{x}_3x_2x_1x_0 + x_3\bar{x}_2x_1\bar{x}_0 + x_3x_2x_1\bar{x}_0 + x_3x_2x_1x_0$ .

Карта Карно для минимизации заданной структурной формулы в СДНФ булевой функции приведена на рис. 3.3.

Принцип упрощения основан на следующем логическом соотношении:  $AB + \bar{A}B = B$ . В приведенном примере можно выделить два контура минимизации. Первый контур охватывает минтермы  $\bar{x}_3\bar{x}_2\bar{x}_1\bar{x}_0$ ,  $\bar{x}_3\bar{x}_2x_1\bar{x}_0$ ,  $x_3\bar{x}_2\bar{x}_1\bar{x}_0$  и  $x_3\bar{x}_2x_1\bar{x}_0$ , второй –  $\bar{x}_3x_2x_1x_0$ ,

Таблица 3.6

Таблица истинности

$x_3$	$x_2$	$x_1$	$x_0$	$y$
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

		00	01	11	10
$x_3x_2$	00	1	0	0	1
	01	0	0	1	1
	11	0	0	1	1
	10	1	0	0	1

Рис. 3.3. Карта Карно

Таблица 3.7

$$\bar{x}_3x_2x_1\bar{x}_0, \quad x_3x_2x_1x_0 \quad \text{и} \quad x_3x_2x_1\bar{x}_0.$$

ванная структурная формула, соответствующая этой карте Карно, имеет вид  $y = x_2x_1 + \bar{x}_2\bar{x}_0$ .

Если булева функция определена не полностью, т. е. безразлично, какие она принимает значения на некоторых наборах значений аргументов, то ее дополняют таким образом, чтобы максимально упростить структурную формулу.

**Пример 3.11.** С помощью карты Карно упростите структурную формулу булевой функции, заданной таблицей истинности табл. 3.7. В этой таблице значения функции на неопределенных наборах обозначены буквой Ф.

**Решение:** Запишем структурную формулу в СДНФ как сумму минтермов для всех единичных наборов таблицы истинности (табл. 3.7):

$$y = \bar{x}_3\bar{x}_2\bar{x}_1\bar{x}_0 + \bar{x}_3\bar{x}_2x_1\bar{x}_0 + \bar{x}_3\bar{x}_2x_1x_0 + \bar{x}_3x_2\bar{x}_1\bar{x}_0 + \bar{x}_3x_2\bar{x}_1x_0 + x_3x_2x_1x_0.$$

Карта Карно для минимизации заданной таблицей истинности булевой функции приведена на рис. 3.4. В приведенном примере можно выделить три контура минимизации, каждый из которых охватывает не только единичные наборы, но и по одному неопределенному набору. Минимизированная структурная формула, соответствующая этой карте Карно, имеет вид  $y = \bar{x}_3\bar{x}_2 + \bar{x}_3\bar{x}_1 + x_3x_2x_1$ .

		$x_1x_0$			
		00	01	11	10
$x_3x_2$	00	1	Ф	1	1
	01	1	1	0	0
	11	0	0	1	Ф
	10	Ф	0	0	0

Рис. 3.4. Карта Карно определенной не полностью булевой функции

Таблица истинности

$x_3$	$x_2$	$x_1$	$x_0$	$y$
0	0	0	0	1
0	0	0	1	Ф
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	Ф
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	Ф
1	1	1	1	1

## 3.2. Задачи и упражнения

3.1. Запишите структурные формулы и составьте таблицы истинности для логических элементов, условные графические обозначения которых приведены на рис. 3.5.

3.2. Запишите структурные формулы и составьте таблицы истинности для логических элементов, условные графические обозначения которых приведены на рис. 3.6.

3.3. Для логического элемента 4И-НЕ нарисуйте условное графическое обозначение, составьте таблицу истинности и запишите структурную формулу.

3.4. Для логического элемента 4ИЛИ-НЕ нарисуйте условное графическое обозначение, составьте таблицу истинности и запишите структурную формулу.

3.5. Представьте последовательность единиц и нулей 11001011001010101110 в виде непериодического цифрового сигнала:

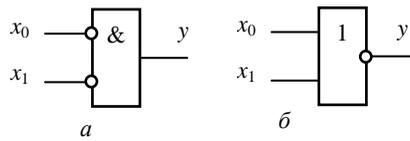


Рис. 3.5. Логические элементы

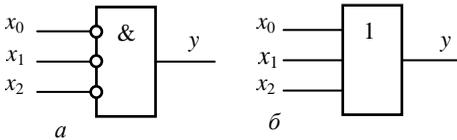


Рис. 3.6. Логические элементы

Таблица 3.8

Таблица истинности

$x_3$	$x_2$	$x_1$	$x_0$	$y$
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	0	0
1	0	0	1	0
1	0	0	1	0
1	0	1	1	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

а) для положительной логики;

б) для отрицательной логики.

3.6. Докажите, что

$$x_1 \oplus x_0 = x_1 \bar{x}_0 + \bar{x}_1 x_0.$$

3.7. Запишите булеву функцию ИСКЛЮЧАЮЩЕЕ ИЛИ в базисе И-НЕ.

3.8. Запишите булеву функцию ИСКЛЮЧАЮЩЕЕ ИЛИ в базисе ИЛИ-НЕ.

3.9. Запишите структурную формулу в СДНФ булевой функции, таблица истинности которой приведена в табл. 3.8.

3.10. Запишите структурную формулу в СДНФ булевой функции, таблица истинности которой приведена в табл. 3.9.

3.11. Составьте таблицу истинности для каждой из следующих логических функций:

(а)  $y_1 = \bar{x}_2 \bar{x}_0 + \bar{x}_2 \bar{x}_1 x_0;$

(б)  $y_2 = \bar{x}_3 x_2 + \bar{x}_1 \bar{x}_0 + \bar{x}_2 x_0;$

(в)  $y_3 = x_3 + \bar{x}_2 (\bar{x}_1 + x_0);$

(г)  $y_4 = \bar{x}_2 \bar{x}_1 \bar{x}_0 + x_2 \bar{x}_1 x_0 + x_2 x_1 x_0;$

(д)  $y_5 = \bar{x}_2 \bar{x}_1 \bar{x}_0 + x_2 x_0.$

3.12. Используя метод тождественных преобразований, упростите каждую из следующих булевых функций:

$$(a) y_1 = x_3 x_2 x_1 x_0 (x_3 x_2 x_1 \bar{x}_0 + \bar{x}_3 x_2 x_1 x_0 + x_3 x_2 \bar{x}_1 x_0 + x_3 \bar{x}_2 x_1 x_0);$$

$$(б) y_2 = x_1 x_0 + x_3 \bar{x}_2 x_1 x_0 + \bar{x}_4 x_3 x_1 x_0 + x_4 \bar{x}_2 x_1 x_0 + x_4 x_3 \bar{x}_2.$$

3.13. С помощью карт Карно найдите структурные формулы в дизъюнктивной нормальной форме для следующих логических функций:

$$(a) y_1 = \bar{x}_3 \bar{x}_2 x_1 \bar{x}_0 + \bar{x}_3 x_2 \bar{x}_1 \bar{x}_0 + x_3 \bar{x}_2 x_1 x_0 + x_3 \bar{x}_2 \bar{x}_1 x_0 + x_3 \bar{x}_2 x_1 \bar{x}_0 + x_3 x_2 \bar{x}_1 \bar{x}_0;$$

$$(б) y_2 = \bar{x}_3 \bar{x}_2 x_1 \bar{x}_0 + x_3 \bar{x}_2 \bar{x}_1 \bar{x}_0 + x_3 \bar{x}_2 \bar{x}_1 x_0 + x_3 \bar{x}_2 x_1 x_0 + x_3 x_2 \bar{x}_1 x_0 + x_3 \bar{x}_2 x_1 \bar{x}_0;$$

$$(в) y_3 = \bar{x}_3 \bar{x}_2 x_1 \bar{x}_0 + x_3 \bar{x}_2 \bar{x}_1 \bar{x}_0 + x_3 \bar{x}_2 x_1 \bar{x}_0 + x_3 \bar{x}_2 x_1 x_0 + x_3 x_2 \bar{x}_1 x_0 + x_3 x_2 x_1 x_0;$$

$$(г) y_4 = \bar{x}_3 \bar{x}_2 x_1 x_0 + \bar{x}_3 x_2 x_1 x_0 + x_3 \bar{x}_2 \bar{x}_1 \bar{x}_0 + x_3 \bar{x}_2 x_1 x_0 + x_3 x_2 \bar{x}_1 x_0 + x_3 x_2 x_1 x_0;$$

$$(д) y_5 = \bar{x}_3 \bar{x}_2 x_1 x_0 + \bar{x}_3 x_2 \bar{x}_1 \bar{x}_0 + \bar{x}_3 x_2 x_1 x_0 + x_3 \bar{x}_2 \bar{x}_1 \bar{x}_0 + x_3 \bar{x}_2 x_1 \bar{x}_0 + x_3 x_2 \bar{x}_1 \bar{x}_0;$$

$$(е) y_6 = \bar{x}_3 \bar{x}_2 x_1 x_0 + \bar{x}_3 x_2 \bar{x}_1 \bar{x}_0 + \bar{x}_3 x_2 x_1 \bar{x}_0 + x_3 \bar{x}_2 \bar{x}_1 \bar{x}_0 + x_3 \bar{x}_2 x_1 x_0 + x_3 x_2 \bar{x}_1 \bar{x}_0.$$

3.14. Представьте каждую из следующих булевых функций в базисе ИЛИ-НЕ:

$$(a) y_1 = x_3 x_2 x_1 (x_3 x_2 x_1 x_0 + \bar{x}_3 x_2 x_1 x_0 + x_3 x_2 \bar{x}_1 x_0 + x_3 \bar{x}_2 x_1 x_0);$$

$$(б) y_2 = x_1 x_0 + x_3 \bar{x}_2 x_1 x_0 + \bar{x}_4 x_3 x_1 x_0 + x_4 \bar{x}_2 x_1 x_0 + x_4 x_3 \bar{x}_2.$$

3.15. Докажите, что  $(x + \bar{y})y = xy$ .

3.16. Докажите, что  $(x + y)(\bar{x} + z) = xz + \bar{x}y$ .

Таблица истинности

$x_3$	$x_2$	$x_1$	$x_0$	$y$
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

3.17. Докажите по правилам булевой алгебры, что в результате объединения двух входов  $(n+1)$ -входного ЛЭ И получается функциональный эквивалент  $n$ -входового ЛЭ И.

3.18. Покажите, как 4-входовой ЛЭ И можно заменить 3 двухвходовыми ЛЭ И.

3.19. Является ли функционально полным набором булевых функций набор, состоящий из одной булевой функции ИЛИ-НЕ? Докажите ваше утверждение.

3.20. Является ли функционально полным набор, состоящий из одной булевой функции И-НЕ? Докажите ваше утверждение.

3.21. С помощью карты Карно упростите структурную формулу булевой функции, заданной таблицей истинности табл. 3.10. Используя теорему де Моргана, запишите полученную структурную формулу в базе И-НЕ.

3.22. С помощью карты Карно упростите структурную формулу булевой функции, заданной таблицей истинности табл. 3.11. Используя теорему де Моргана, запишите полученную структурную формулу в базе И-НЕ.

Таблица 3.10

Таблица истинности

$x_3$	$x_2$	$x_1$	$x_0$	$y$
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Таблица 3.11

Таблица истинности

$x_3$	$x_2$	$x_1$	$x_0$	$y$
0	0	0	0	1
0	0	0	1	0
0	0	1	0	Ф
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	Ф
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	Ф
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	Ф

## 4. Логические интегральные схемы

### 4.1. Краткое содержание

Параметры логических интегральных схем. ТТЛ. Логические схемы на МОП- и на КМОП-транзисторах. [1], с. 30–42.

**1. Интегральные схемы (ИС)** по выполняемым функциям подразделяются на **аналоговые** и **цифровые**. Аналоговые ИС предназначены для преобразования и обработки аналоговых сигналов. Цифровые ИС предназначены для преобразования и обработки цифровых сигналов.

**2. Основные параметры** цифровых ИС:

– время задержки распространения сигнала внутри ИС при ее переключении из состояния логической единицы в состояние логического нуля  $t_{зд.р}^{1,0}$ ;

– время задержки распространения сигнала внутри ИС при ее переключении из состояния логического нуля в состояние логической единицы  $t_{зд.р}^{0,1}$ ;

– время перехода ИС из состояния логической единицы в состояние логического нуля (длительность среза импульса)  $t^{1,0}$ ;

– время перехода ИС из состояния логического нуля в состояние логической единицы (длительность фронта импульса)  $t^{0,1}$ ;

– среднее время задержки распространения сигнала  
 $t_{зд.р.ср} = (t_{зд.р}^{1,0} + t_{зд.р}^{0,1})/2$ ;

– статическая помехоустойчивость и помехоустойчивость в динамическом режиме;

– нагрузочная способность (коэффициент разветвления по выходу);

– коэффициент объединения по входу;

– потребляемая мощность;

– энергия переключения.

**3. Интегральные схемы транзисторно-транзисторной логики** – семейство интегральных схем, основными переключающими компонентами которых являются биполярные транзисторы.

Существуют две разновидности транзисторно-транзисторной логики:

– ТТЛ – транзисторная логика без диодов Шоттки;

– ТТЛШ – ТТЛ с диодами Шоттки.

Для ТТЛ характерна большая потребляемая мощность и большая задержка распространения сигналов. Этим недостаткам лишена ТТЛШ.

**4. Интегральные схемы эмиттерно-связанной логики (ЭСЛ)** строятся на переключателях тока, представляющих собой ключевые эле-

менты на транзисторах с объединенными эмиттерами. Большое быстродействие в таких схемах достигается за счет работы транзисторов в ненасыщенном режиме, выбора сравнительно небольшого (порядка 1 В) перепада выходных напряжений, а также применения выходных эмиттерных повторителей, ускоряющих процессы заряда и разряда паразитных емкостей цепи нагрузки. Основными недостатками ИС ЭСЛ являются малая величина перепада выходных напряжений, сравнительно низкая помехоустойчивость и значительная потребляемая мощность.

**5. КМОП ИС** построены на базе комплементарных МОП-транзисторов. Основные достоинства:

- исключительно низкое энергопотребление;
- высокая помехоустойчивость;
- широкий диапазон питающих напряжений;
- большой коэффициент разветвления;
- сравнительно низкая стоимость.

**6.** Все выпускаемые в настоящее время логические интегральные схемы можно разделить на две группы: **стандартные ИС** и **специализированные ИС**. К стандартным ИС относятся микросхемы памяти и микросхемы малой и средней степени интеграции: вентили, регистры, шифраторы, дешифраторы, мультиплексоры и др.

Специализированные ИС принято делить на три класса: полностью заказные ИС, полузаказные ИС и программируемые пользователем ИС. Наибольшее распространение из них получили программируемые пользователем ИС.

**7. Программируемые пользователем ИС** можно разделить на микропрограммные ИС и программируемую логику (ПЛИС) в соответствии с двумя основными подходами к проектированию цифровых устройств: микропрограммным и аппаратным. Первый подход предполагает построение цифровых устройств на базе некоторого универсального элемента (микропроцессора, микроконтроллера и др.), который специализируется загружаемой в ОЗУ или зашиваемой в ППЗУ программой.

Второй подход предполагает применение ПЛИС в цифровых устройствах. Характерной особенностью таких устройств является возможность их настройки на заданный алгоритм функционирования путем изменения своей внутренней структуры. Построенные на ее основе устройства характеризуются высокой скоростью работы, низкой стоимостью и малыми сроками проектирования.

## 4.2. Задачи и упражнения

4.1. Кратко перечислите достоинства и недостатки ИС ТТЛ, ИС ЭСЛ и КМОП ИС.

4.2. Объясните, почему в статическом режиме мощность, потребляемая КМОП-схемой, практически равна нулю.

4.3. Объясните, почему мощность, потребляемая КМОП-схемой, возрастает с увеличением частоты переключения этой схемы.

4.4. Нарисуйте принципиальную схему, составьте таблицу истинности и приведите условное графическое обозначение ЛЭ ЗИ-НЕ ТТЛ. Объясните, как он работает.

4.5. Найдите в учебном пособии по дисциплине «Автоматизация эксперимента» для студентов специальности «Информационные системы и технологии (в экологии)» схему магистрального усилителя ТТЛ с трехстабильным выходом и объясните, как он работает.

4.6. Объясните, почему быстродействие транзисторно-транзисторной логики с диодами Шоттки (ТТЛШ) выше быстродействия транзисторно-транзисторной логики без диодов Шоттки (ТТЛ).

4.7. Нарисуйте принципиальную схему ЛЭ 2И-НЕ, выполненного на КМОП-транзисторах.

## 5. Комбинационные схемы

### 5.1. Краткое содержание

Анализ и синтез комбинационных схем. Сумматоры и вычитатели. Преобразователи кодов. Шифраторы и дешифраторы. Мультиплексоры и демультиплексоры. [1], с. 43–57.

**1. Состояние комбинационных схем (КС)** в любой момент времени определяется совокупностью входных сигналов и не зависит от предыдущего состояния самой схемы.

**2. Задача анализа КС** может быть сформулирована как задача нахождения структурной формулы или таблицы истинности, описывающей работу заданной схемы. При решении этой задачи устанавливается однозначное соответствие между логическими элементами КС и ее математическим описанием.

**Пример 5.1.** Составьте таблицу истинности комбинационной схемы, которая приведена на рис. 5.1.

Таблица 5.1

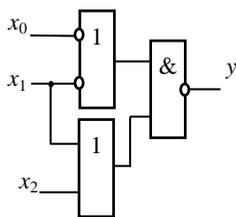


Рис. 5.1. Комбинационная схема

Таблица истинности

$x_2$	$x_1$	$x_0$	$\bar{x}_1 + \bar{x}_0$	$x_2 + x_1$	$(\bar{x}_1 + \bar{x}_0)(x_2 + x_1)$
0	0	0	1	0	1
0	0	1	1	0	1
0	1	0	1	1	0
0	1	1	0	1	1
1	0	0	1	1	0
1	0	1	1	1	0
1	1	0	1	1	0
1	1	1	0	1	1

**Решение:** Структурная формула для КС, представленной на рис. 5.1,  $y = (\bar{x}_1 + \bar{x}_0)(x_2 + x_1)$ . Дополним таблицу истинности для этой КС столбцами, соответствующими сомножителям  $\bar{x}_1 + \bar{x}_0$  и  $x_2 + x_1$ . Определим значения этих сомножителей и функции  $y = (\bar{x}_1 + \bar{x}_0)(x_2 + x_1)$  для всех значений входных переменных КС. Полученный результат приведен в табл. 5.1.

**Пример 5.2.** Запишите структурную формулу для комбинационной схемы, которая приведена на рис. 5.2.

**Решение:** Запишем, как показано на рис. 5.3, структурную формулу для каждого логического элемента КС.

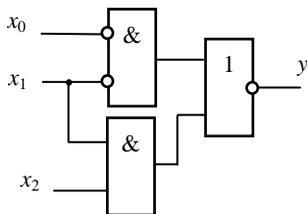


Рис. 5.2. Комбинационная схема

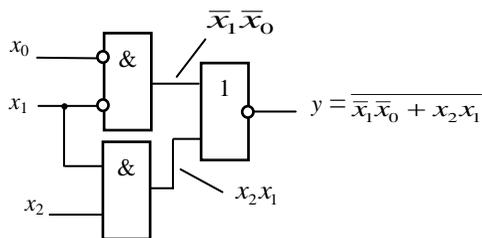


Рис. 5.3. Комбинационная схема

**3. Задача синтеза КС** может быть сформулирована как задача построения цифрового устройства, реализующего заданную булеву функцию в заданном базисе логических элементов.

Основные этапы синтеза:

- запись структурной формулы в совершенной дизъюнктивной нормальной форме (СДНФ) или в совершенной конъюнктивной нормальной форме (СКНФ), заданной, как правило, таблично булевой функции;
- минимизация полученной структурной формулы;
- переход в заданный базис логических элементов.

**Пример 5.3.** Синтезируйте КС, заданную таблицей истинности табл. 5.2.

Таблица 5.2

**Решение:** На первом этапе синтеза получим структурную формулу функции в СДНФ

$$y_1 = \bar{x}_3 \bar{x}_2 \bar{x}_1 \bar{x}_0 + \bar{x}_3 \bar{x}_2 x_1 \bar{x}_0 + \bar{x}_3 x_2 x_1 \bar{x}_0 + \bar{x}_3 x_2 x_1 x_0 + x_3 \bar{x}_2 \bar{x}_1 \bar{x}_0 + x_3 \bar{x}_2 x_1 \bar{x}_0 + x_3 x_2 x_1 \bar{x}_0 + x_3 x_2 x_1 x_0$$

и в СКНФ

$$y_2 = (x_3 + x_2 + x_1 + \bar{x}_0) \cdot (x_3 + x_2 + \bar{x}_1 + \bar{x}_0) \cdot (x_3 + \bar{x}_2 + x_1 + \bar{x}_0) \cdot (\bar{x}_3 + x_2 + x_1 + \bar{x}_0) \cdot (x_3 + \bar{x}_2 + x_1 + x_0) \cdot (\bar{x}_3 + x_2 + \bar{x}_1 + \bar{x}_0) \cdot (\bar{x}_3 + \bar{x}_2 + x_1 + x_0) \cdot (\bar{x}_3 + \bar{x}_2 + x_1 + \bar{x}_0).$$

На втором этапе полученная структурная формула минимизируется с помощью карт Карно (рис. 5.4). Полученная при этом структурная формула в сокращенной дизъюнктивной нормальной форме используется для представления функции в базисе И-НЕ:

$$y_1 = \overline{\overline{x_2 x_1} \overline{\bar{x}_2 \bar{x}_0}} = \overline{\overline{x_2 x_1} \overline{\bar{x}_2 \bar{x}_0}}.$$

Таблица истинности

$x_3$	$x_2$	$x_1$	$x_0$	$y$
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

Полученная в результате минимизации булевой функции структурная формула в сокращенной конъюнктивной нормальной форме используется для представления функции в базисе ИЛИ-НЕ:

$$y_2 = (\bar{x}_2 + x_1)(x_2 + \bar{x}_0) = \bar{x}_2 + x_1 + x_2 + \bar{x}_0.$$

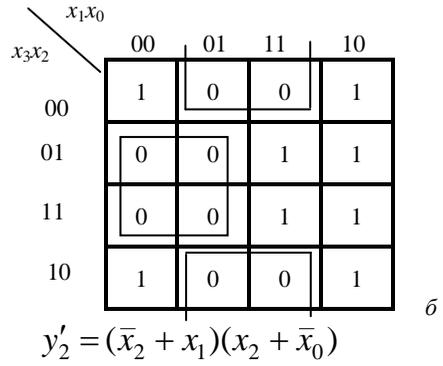
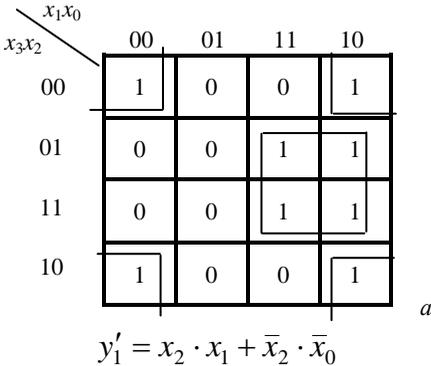


Рис. 5.4. Минимизация функции  $y'$  в СДНФ (а) и в СКНФ (б)

Структурные схемы синтезированного цифрового устройства в базисе И-НЕ и в базисе ИЛИ-НЕ приведены на рис. 5.5 а и б соответственно.

**Пример 5.4.** Синтезируйте в базисе ИЛИ-НЕ КС, заданную таблицей истинности (табл. 5.3). В этой таблице значения функции на неопределенных наборах обозначены буквой  $\Phi$ .

Таблица 5.3

**Решение:** На первом этапе синтеза получим структурную формулу функции в СДНФ:

$$y = \bar{x}_3 \bar{x}_2 \bar{x}_1 \bar{x}_0 + \bar{x}_3 \bar{x}_2 x_1 \bar{x}_0 + \bar{x}_3 \bar{x}_2 x_1 x_0 + \bar{x}_3 x_2 \bar{x}_1 \bar{x}_0 + \bar{x}_3 x_2 \bar{x}_1 x_0 + x_3 x_2 x_1 x_0.$$

Данная булева функция на первом, восьмом и четырнадцатом наборах не определена, т. е. комбинации аргументов функции, соответствующие указанным номерам наборов, невозможны. Это позволяет на этапе минимизации присваивать функции на этих (неопределенных) наборах значения (единичные или нулевые), позволяющие максимально упростить структурную формулу.

На втором этапе полученная структурная формула минимизируется с помощью

Таблица истинности

$x_3$	$x_2$	$x_1$	$x_0$	$y$
0	0	0	0	1
0	0	0	1	$\Phi$
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	$\Phi$
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	$\Phi$
1	1	1	1	1

карт Карно (рис. 5.6). Полученная при этом структурная формула в сокращенной дизъюнктивной нормальной форме

$$y = \bar{x}_3\bar{x}_2 + \bar{x}_3\bar{x}_1 + x_3x_2x_1$$

используется для представления функции в базисе ИЛИ-НЕ:

$$\begin{aligned} y &= \overline{\bar{x}_3\bar{x}_2} + \overline{\bar{x}_3\bar{x}_1} + \overline{x_3x_2x_1} = \overline{x_3 + x_2} + \overline{x_3 + x_1} + \overline{\bar{x}_3 + \bar{x}_2 + \bar{x}_1} = \\ &= \overline{x_3 + x_2} + \overline{x_3 + x_1} + \overline{\bar{x}_3 + \bar{x}_2 + \bar{x}_1}. \end{aligned}$$

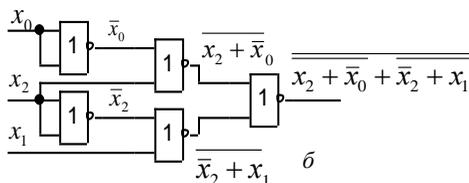
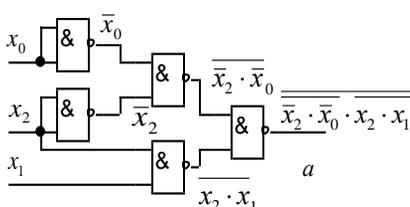


Рис. 5.5. Комбинационная схема в базисе И-НЕ (а) и в базисе ИЛИ-НЕ (б)

Структурная схема синтезированной в базисе ИЛИ-НЕ КС приведена на рис. 5.7.

**4. Сумматор** – КС, выполняющая операцию «сложение». **Неполный двоичный сумматор (полусумматор)** предназначен для сложения двух одноразрядных двоичных чисел. **Полный (одноразрядный) двоичный сумматор** формирует сигнал суммы и сигнал переноса в старший разряд в соответствии с сигналами двух  $i$ -тых разрядов слагаемых и сигнала переноса из предыдущего ( $i-1$ )-го разряда.

	$x_1x_0$	00	01	11	10
$x_3x_2$	00	1	Ф	1	1
	01	1	1	0	0
	11	0	0	1	Ф
	10	Ф	0	0	0

Рис. 5.6. Карта Карно не полностью определенной булевой функции

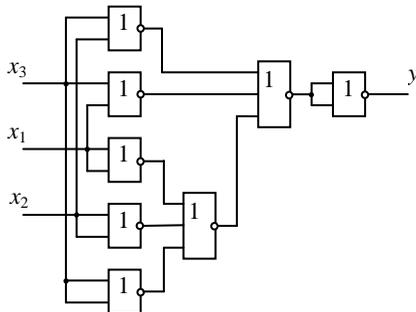


Рис. 5.7. Структурная схема КС в базисе ИЛИ-НЕ

**Пример 5.5.** Составьте таблицу истинности для двоичного полусумматора и запишите его структурную схему. Реализуйте структурную схему полусумматора в базисе ЛЭ И, ИЛИ и НЕ. Нарисуйте временные диаграммы

выходных сигналов полусумматора при входных воздействиях, указанных на рис. 5.8.

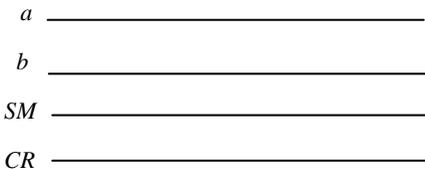


Рис. 5.8. Временные диаграммы входных сигналов полусумматора

Слагаемые		Сумма SM	Перенос CR
a	b		
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Рис. 5.9. Таблица истинности двоичного полусумматора

**Решение:** Двоичный полусумматор формирует сигнал суммы и сигнал переноса при сложении одноразрядных двоичных чисел по правилам двоичной арифметики. Таблица истинности приведена на рис. 5.9. Составленные в соответствии с таблицей истинности полусумматора структурные формулы булевых функций SM и CR имеют вид:

$$SM = \bar{a} \cdot b + a \cdot \bar{b}, \quad CR = a \cdot b.$$

Структурная схема полусумматора приведена на рис. 5.10, временные диаграммы сигналов полусумматора – на рис. 5.11.

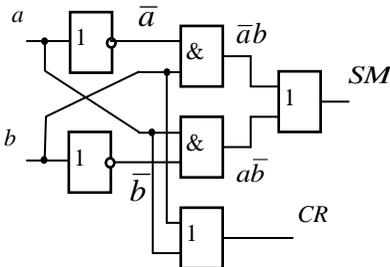


Рис. 5.10. Полусумматор

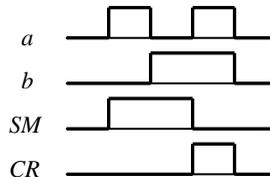


Рис. 5.11. Временные диаграммы сигналов полусумматора

**5. Параллельные многоразрядные сумматоры** состоят из группы одноразрядных сумматоров, число которых определяется разрядностью суммируемых чисел. Простейшими из параллельных сумматоров являются сумматоры с последовательным переносом.

Более высокое быстродействие обеспечивают параллельные сумматоры со сквозным переносом. Дальнейшее увеличение быстродействия имеет место в сумматорах с ускоренным переносом.

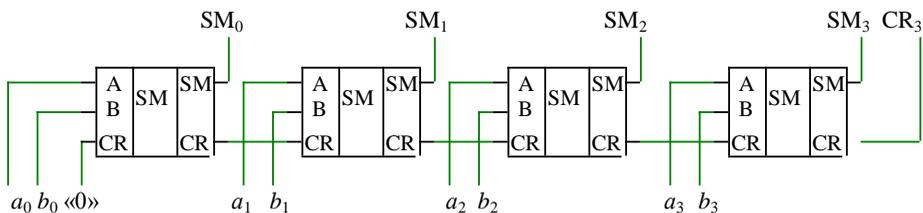


Рис. 5.12. Параллельный сумматор с последовательным переносом

**Пример 5.6.** Проверьте правильность функционирования устройства, структурная схема которого приведена на рис. 5.12, определив значения выходных сигналов для следующей комбинации входных сигналов:  $a_3a_2a_1a_0 = 0101$ ,  $b_3b_2b_1b_0 = 1001$ .

**Решение:** Для  $i$ -го каскада схемы, представленной на рис. 5.12,  $a_i + b_i + CR_{i-1} = CR_iSM_i$ , где  $i = 1, 2, 3$ .

$$0101 + 1001 = 1110 \quad (510 + 910 = 1410).$$

$$a_0 = 1, b_0 = 1, \quad CR_0 = 1, SM_0 = 0;$$

$$a_1 = 0, b_1 = 0, CR_0 = 1, \quad CR_1 = 0, SM_1 = 1;$$

$$a_2 = 1, b_2 = 0, CR_1 = 0, \quad CR_2 = 0, SM_2 = 1;$$

$$a_3 = 0, b_3 = 1, CR_2 = 0, \quad CR_3 = 0, SM_3 = 1.$$

**Ответ:**  $CR_3SM_3SM_2SM_1SM_0 = 01110$ .

**6. Преобразователь кода** – цифровая схема, осуществляющая преобразование входных слов  $\{x_{n-1}, x_{n-2}, \dots, x_0\}$  из одного алфавита в выходные слова  $\{y_{m-1}, y_{m-2}, \dots, y_0\}$  другого алфавита.

Для построения комбинационного преобразователя кода необходимо располагать таблицей истинности, в соответствии с которой синтезируется многовыходная комбинационная схема, осуществляющая преобразование кода. Синтез подобных схем производится в соответствии с правилами, изложенными ранее.

**7. Шифратором** называется преобразователь кода «1 из N» в двоичный код.

**Пример 5.7.** Синтезируйте шифратор кода «1 из 4» в двоичный код.

**Решение:** Правила функционирования такого шифратора приведены в табл. 5.4. Непосредственно из нее следует:  $y_0 = x_1 + x_3$  и  $y_1 = x_2 + x_3$ . На рис. 5.13 приведена схема шифратора, построенного в соответствии с этими формулами, и его условное обозначение.

Таблица 5.4

Таблица истинности

$x_3$	$x_2$	$x_1$	$x_0$	$y_1$	$y_0$
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

**8. Дешифратор** реализует функцию обратную шифратору. Он является преобразователем двоичного  $n$ -разрядного кода в код «1 из  $N$ », где  $N = 2^n$ .

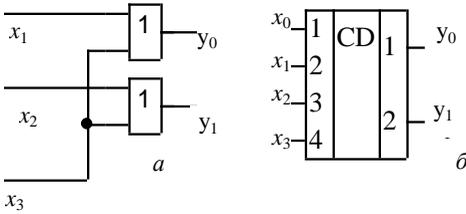


Рис. 5.13. Структурная схема (а) и условное обозначение (б) шифратора кода «1 из 4»

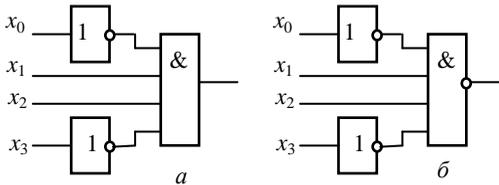


Рис. 5.14. Простейшие дешифраторы

**Пример 5.8.** На рис. 5.14 приведены схемы двух простейших дешифраторов. Для каждого из них определите активный уровень (низкий или высокий, единичный или нулевой), формируемый на его выходе при обнаружении заданной кодовой комбинации. Запишите также для каждого дешифратора структурные формулы.

**Решение:** Эти дешифраторы реализованы на ЛЭ И или ЛЭ И-НЕ. На выходе каждого из этих ЛЭ формируется активный уровень при наличии на всех входах высокого (единичного) уровня. Ко входам ЛЭ подключены инверторы, поэтому кодовая комбинация, при которой на выходе каждого ЛЭ будет формироваться активный уровень, будет другой.

Для первого дешифратора (рис. 5.14, а) активным уровнем является высокий уровень, формируемый при наличии входной кодовой комбинации 0110. Структурная формула для этого дешифратора:  $y_6 = \bar{x}_3 x_2 x_1 \bar{x}_0$ .

Для второго дешифратора (рис. 5.14, б) активным уровнем является низкий уровень, формируемый при наличии входной кодовой комбинации 0110. Структурная формула для этого дешифратора:  $\bar{y}_6 = \bar{x}_3 x_2 x_1 \bar{x}_0$ .

Выходы дешифратора принято обозначать таким образом, что индекс при букве  $y$  является десятичным эквивалентом распознаваемого входного кода. Поэтому в обозначении дешифраторов, представленных на рис. 5.14, используется индекс 6.

Дешифраторы по способу вывода информации подразделяются на дешифраторы со стробированием и дешифраторы без стробирования, по количеству используемых выходов – на полные и неполные дешифраторы.

**Простейший неполный дешифратор** представляет собой единственный логический элемент (И или ИЛИ), используемый совместно с одним или несколькими ЛЭ НЕ (или без них) для обнаружения на своих входах определенной двоичной кодовой комбинации.

**Полный дешифратор** имеет  $n$  информационных входов и  $2^n$  выходов. Он используется в том случае, если необходимо активизировать только один из  $2^n$  выходов, определяемый  $n$ -разрядным входным кодом.

**Пример 5.9.** Запишите структурные формулы и составьте таблицу истинности для полного дешифратора на два входа со стробированием, схема которого и условное графическое обозначение приведены на рис. 5.15. Нарисуйте временные диаграммы входных и выходных сигналов дешифратора.

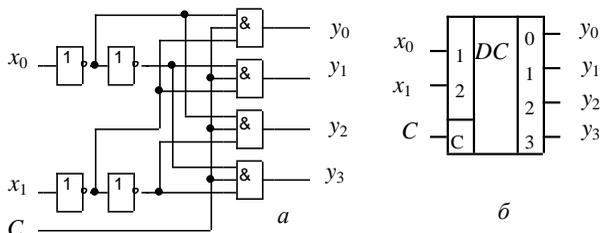


Рис. 5.15. Структурная схема (а) и условное обозначение (б) дешифратора на два входа со стробированием

**Решение:** Структурные формулы дешифратора, составленные по его структурной схеме, имеют вид:

$$y_0 = Cx_1\bar{x}_0, \quad y_1 = C\bar{x}_1x_0, \quad y_2 = Cx_1\bar{x}_0, \quad y_3 = Cx_1x_0.$$

Таблица истинности дешифратора, составленная по его структурным формулам, представлена на рис. 5.16. Временные диаграммы входных и выходных сигналов дешифратора, построенные в соответствии с таблицей истинности, представлены на рис 5.17.

C	$x_1$	$x_0$	$y_3$	$y_2$	$y_1$	$y_0$
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	0	0	0
0	1	1	0	0	0	0
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0

Рис. 5.16. Таблица истинности

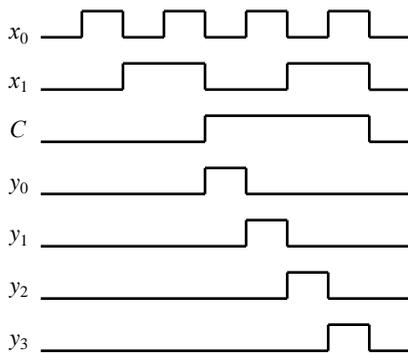


Рис. 5.17. Временные диаграммы входных и выходных сигналов

**9. Селектор-мультиплексор** представляет собой устройство, имеющее  $n$  информационных входов,  $w$  адресных входов ( $n \leq 2^w$ ), один выход и предназначенное для подключения к выходу одного из информационных входов.

**10. Демультимплексор** имеет один информационный вход,  $w$  адресных входов и  $n$  ( $n \leq 2^w$ ) информационных выходов. Он предназначен для подключения информационного входа демультимплексора к одному из его выходов. Демультимплексор может быть реализован на базе дешифратора со стробированием, при этом стробирующий вход дешифратора играет роль информационного входа демультимплексора, а информационные входы дешифратора – роль адресных входов демультимплексора.

## 5.2. Задачи и упражнения

5.1. Покажите, как сделать:

- из ЛЭ 2ИЛИ-НЕ ЛЭ НЕ;
- из ЛЭ 2ИЛИ-НЕ ЛЭ 2И;
- из ЛЭ 2И-НЕ ЛЭ 2ИЛИ.

5.2. Покажите, как сделать:

- ЛЭ 3И с помощью ЛЭ 2И;
- ЛЭ 3И-НЕ с ЛЭ 2И-НЕ.

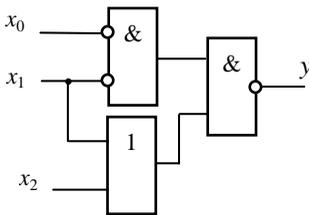


Рис. 5.18. Комбинационная схема

5.3. Составьте таблицу истинности комбинационной схемы, схема которой приведена на рис. 5.18.

5.4. Запишите структурную формулу для комбинационной схемы, которая приведена на рис. 5.19.

5.5. Реализуйте в базе И-НЕ КС, структурная формула которой  $y = x_3 + \bar{x}_2 + \bar{x}_0 + x_4 + \bar{x}_3$ .

5.6. Реализуйте в базе ИЛИ-НЕ

КС, структурная формула которой  $y = \bar{x}_3x_2\bar{x}_0 + \bar{x}_4x_3$ .

5.7. Составьте таблицу истинности полного (одноразрядного) двоичного сумматора.

5.8. По составленной в предыдущем пункте таблице истинности запишите структурную формулу полного (одноразрядного) двоичного сумматора.

5.9. Нарисуйте схему дешифратора, структурная формула которого  $y_9 = x_3\bar{x}_2\bar{x}_1x_0$ .

5.10. Нарисуйте схему дешифратора, формирующего на выходе  $y_{39}$  активный низкий уровень.

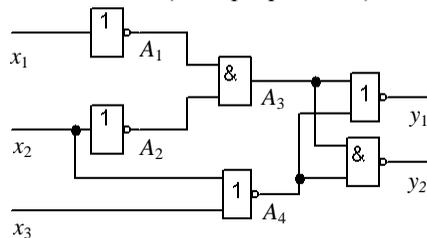


Рис. 5.19. Комбинационная схема

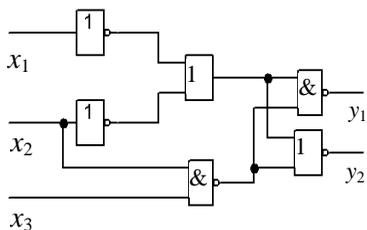


Рис. 5.20. Комбинационная схема

5.11. Выполните анализ комбинационной схемы, представленной на рис. 5.20. Для каждого выхода этой схемы запишите структурную формулу, составьте таблицу истинности и нарисуйте осциллограммы входных и выходных сигналов.

5.12. Синтезируйте в базе ЛЭ И-НЕ комбинационную схему, таблица истинности которой табл. 5.5.

5.13. Синтезируйте в базе ЛЭ ИЛИ-НЕ комбинационную схему, таблица истинности которой табл. 5.6.

Таблица 5.5

Таблица истинности

$x_3$	$x_2$	$x_1$	$x_0$	$y$
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

Таблица 5.6

Таблица истинности

$x_3$	$x_2$	$x_1$	$x_0$	$y$
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

5.14. Составьте таблицу истинности одноразрядного полного двоичного вычитателя и в дизъюнктивной нормальной форме запишите структурные формулы для его выходов. Нарисуйте схему вычитателя в базе ЛЭ И, ИЛИ и НЕ, считая, что имеются только неинвертированные входные сигналы. Нарисуйте временные диаграммы входных и выходных сигналов одноразрядного полного двоичного вычитателя, поясняющие его работу.

5.15. Синтезируйте работающий согласно табл. 5.7 преобразователь трехразрядного двоичного кода в код Грея.

5.16. Синтезируйте шифратор кода «1 из 4» в код Грея.

5.17. Синтезируйте комбинационную схему, формирующую на выходе  $y$  высокий (единичный) уровень, если, по крайней мере, любые три входных сигнала из четырех  $x_3, x_2, x_1$  и  $x_0$  принимают единичное значение.

Таблица 5.7

Таблица истинности

Двоичный код			Код Грея		
$d_2$	$d_1$	$d_0$	$g_2$	$g_1$	$g_0$
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	1
0	1	1	0	1	0
1	0	0	1	1	0
1	0	1	1	1	1
1	1	0	1	0	1
1	1	1	1	0	0

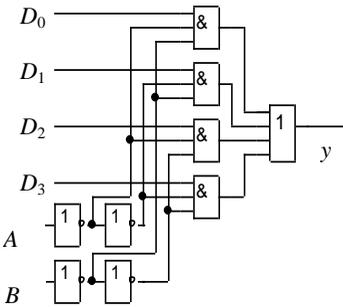


Рис. 5.22. Структурная схема селектора-мультиплектора

5.22. Запишите структурную формулу и составьте таблицу истинности для селектора-мультиплектора, схема которого приведена на рис. 5.22. Нарисуйте временную диаграмму выходного сигнала селектора-мультиплектора при входных воздействиях, указанных на рис. 5.23.

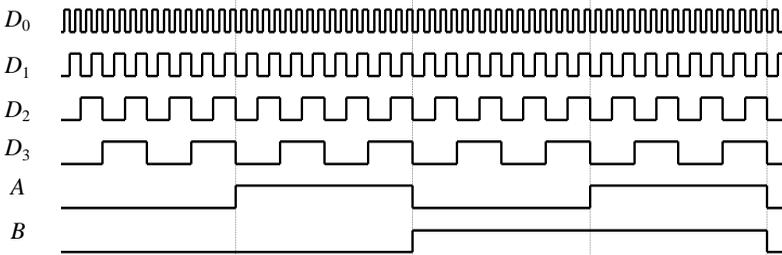


Рис. 5.23. Временные диаграммы сигналов селектора-мультиплектора на четыре входа

5.18. Синтезируйте комбинационную схему, таблица истинности которой представлена на рис. 5.21.

5.19. Составьте таблицу истинности полного дешифратора на два входа с двумя (прямым и инверсным) стробирующими входами и с инверсными выходами. Запишите структурные формулы для этого дешифратора и нарисуйте его принципиальную схему, считая, что имеются только неинвертированные входные сигналы.

5.20. Составьте таблицу истинности полного дешифратора на два входа с двумя прямыми стробирующими входами и с инверсными выходами. Запишите структурные формулы для этого дешифратора и нарисуйте его принципиальную схему, считая, что имеются только неинвертированные входные сигналы.

5.21. Используя два дешифратора на три входа со стробированием, разработанные в предыдущих задачах, постройте полный дешифратор на четыре входа со стробированием. Нарисуйте осциллограммы входных и выходных сигналов, поясняющие работу дешифратора.

## 6. Последовательностные схемы

### 6.1. Краткое содержание

Асинхронные и синхронные триггеры.  $RS$ -триггеры,  $D$ -триггеры,  $JK$ -триггеры. Регистры. Счетчики. [1], с. 58–71.

**1. Последовательностной логической схемой** называется схема, состояние выходов которой зависит не только от состояний входов в данный момент, но и определяется состоянием выходов в предыдущем временном интервале.

**2. Триггером** называется устройство, которое может находиться в одном из двух состояний устойчивого равновесия и скачкообразно переключаться из одного состояния в другое под действием внешних сигналов. Триггер является элементом памяти. Он предназначен для хранения одного бита информации и является основой всех последовательностных схем (цифровых устройств с памятью).

**3. Асинхронные  $RS$ -триггеры** являются простейшими схемами с двумя устойчивыми состояниями. Они имеют два информационных входа  $S$  ( $\bar{S}$ ) и  $R$  ( $\bar{R}$ ) для установки схемы соответственно в единичное и нулевое состояния (для записи «1» и «0»).

**Пример 6.1.** Нарисуйте осциллограммы входных и выходных сигналов  $RS$ -триггера с прямыми информационными входами (рис. 6.1, а) и  $RS$ -триггера с инверсными информационными входами (рис. 6.1, б).

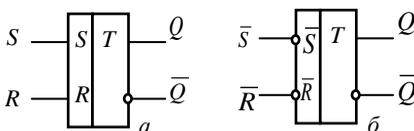


Рис. 6.1. Асинхронный  $RS$ -триггер с прямыми (а) и инверсными (б) входами

**Решение:** Активным уровнем входных сигналов асинхронного  $RS$ -триггера с прямыми (инверсными) входами является высокий (низкий) уровень. Поэтому для установки  $RS$ -триггера с прямыми (инверсными) входами в единичное состояние необходимо установить  $S = 1$  и  $R = 0$  ( $\bar{S} = 0$  и  $\bar{R} = 1$ ), для установки в нулевое состояние –  $S = 0$  и  $R = 1$  ( $\bar{S} = 1$  и  $\bar{R} = 0$ ). Состояние  $S = R = 0$  ( $\bar{S} = \bar{R} = 1$ ) соответствует режиму хранения  $RS$ -триггера с прямыми (инверсными) входами, а комбинация  $S = R = 1$  ( $\bar{S} = \bar{R} = 0$ ) является запрещенной комбинацией для  $RS$ -триггера с прямыми (инверсными) входами, так как следующее состояние триггера непредсказуемо.

Составленные с учетом вышесказанных правил функционирования асинхронных  $RS$ -триггеров временные диаграммы приведены на рис. 6.2.

Схемотехнически  $RS$ -триггер может быть реализован на ЛЭ 2ИЛИ-НЕ (рис. 6.3, а) и 2И-НЕ (рис. 6.3, б) с использованием перекрестных положительных обратных связей.

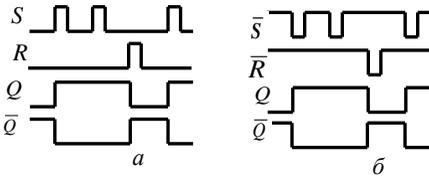


Рис. 6.2. Осциллограммы сигналов асинхронного  $RS$ -триггера с прямыми (а) и инверсными (б) входами

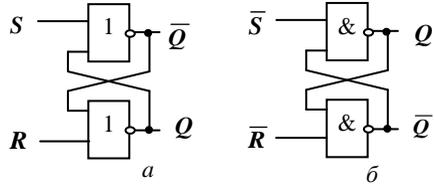


Рис. 6.3. Асинхронные  $RS$ -триггеры с прямыми (а) и инверсными (б) входами

**4. Строблируемые  $RS$ -триггеры** (рис. 6.4) чувствительны к входным информационным сигналам только тогда, когда подан активный сигнал на строблирующий вход  $C$  (вход разрешения). Как видно из таблицы переключений (табл. 6.1), при  $C = 1$  строблируемый  $RS$ -триггер ведет себя как асинхронный  $RS$ -триггер с прямыми входами, при  $C = 0$  реализуется режим хранения ранее записанной в триггер информации (нуля или единицы). Комбинация  $S = R = C = 1$  является запрещенной комбинацией входных сигналов, т. к. следующее состояние непредсказуемое и выходная цепь может стать метастабильной.

Таблица 6.1

Таблица переключений

$C_{n+1}$	$S_{n+1}$	$R_{n+1}$	$Q_{n+1}$	$\bar{Q}_{n+1}$	Назначение
1	0	0	$Q_n$	$\bar{Q}_n$	Хранение
1	0	1	0	1	Запись 0
1	1	0	1	0	Запись 1
1	1	1	1	1	Запрещен
0	x	x	$Q_n$	$\bar{Q}_n$	Хранение

x – произвольное значение

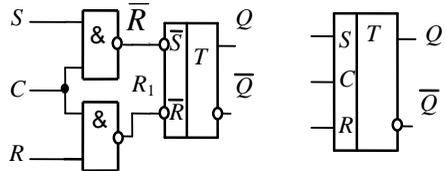


Рис. 6.4. Структурная схема и условное обозначение строблируемого  $RS$ -триггера

**Пример 6.2.** Нарисуйте осциллограммы сигналов  $S_1$ ,  $R_1$ ,  $Q$ ,  $\bar{Q}$  бируемого  $RS$ -триггера (рис. 6.4) при входных воздействиях, указанных на рис. 6.5. Предположите, что длительность фронта и спада входных и выходных сигналов равна нулю и что задержка сигнала при прохождении через любой ЛЭ равна нулю.

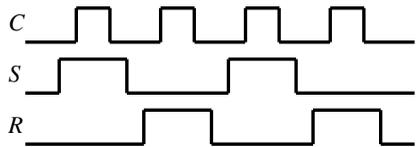


Рис. 6.5. Осциллограммы входных сигналов

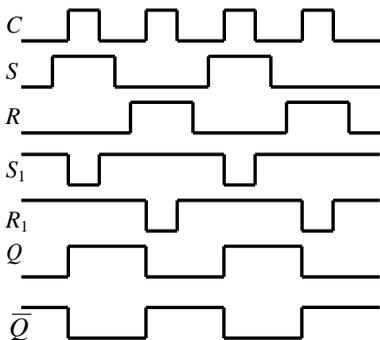


Рис. 6.6. Осциллограммы сигналов стробируемого RS-триггера

**Решение:** Сигналы  $S_1$  и  $R_1$  формируются на выходах ЛЭ 2И-НЕ.  $S_1 = 0$  только в том случае, если  $C = S = 1$ , а  $R_1 = 0$ , только если  $C = R = 1$ . Формируемые таким образом сигналы  $S_1$  и  $R_1$  поступают на входы асинхронного RS-триггера и переключают его в соответствующее состояние. Осциллограммы сигналов  $S_1, R_1, Q, \bar{Q}$  стробируемого RS-триггера (рис. 6.4) при заданных на рис. 6.5 входных воздействиях приведены на рис. 6.6.

**5. D-триггер** имеет один информационный вход, называемый  $D$ -входом, и один исполнительный вход. Сигнал  $Q$  на прямом выходе  $D$ -триггера в такте  $n + 1$  повторяет сигнал, который был на входе  $D$  в предыдущем такте  $n$ .

**6. Переключение стробируемого D-триггера** (триггера-защелки) в состояние, определяемое состоянием его  $D$ -входа, происходит при появлении на его исполнительном входе напряжения, соответствующего активному уровню.

**Пример 6.3.** Нарисуйте осциллограммы сигналов стробируемого  $D$ -триггера, структурная схема и условное графическое обозначение которого приведены на рис. 6.7.

**Решение:** Активным уровнем сигнала на исполнительном входе  $D$ -триггера является высокий уровень. Это означает, что триггер переключается в состояние, соответствующее состоянию  $D$ -входа при наличии (или при появлении) на исполнительном входе высокого уровня напряжения (рис. 6.8).

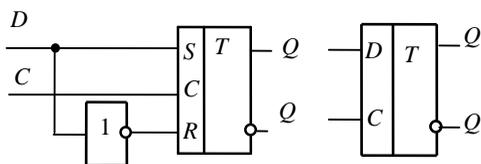


Рис. 6.7. Структурная схема и условное обозначение стробируемого D-триггера

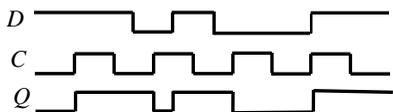


Рис. 6.8. Временные диаграммы стробируемого D-триггера

**7. Триггеры с динамическим управлением записью** способны воспринимать сигналы на информационных входах только во время переключения уровня напряжения на исполнительном входе  $C$ .

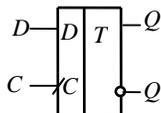


Рис. 6.9. Условное обозначение D-триггера с прямым динамическим входом

**Пример 6.4.** Нарисуйте осциллограммы сигналов  $D$ -триггера с прямым динамическим входом, графическое обозначение которого приведено на рис. 6.9.

**Решение:**  $D$ -триггер с прямым динамическим входом переключается в состояние, определяемое сигналом на  $D$ -входе, только при положительном перепаде сигнала на входе  $C$ , т. е. при переходе этого сигнала из состояния «логический ноль» в состояние «логическая единица». При постоянном значении  $C = 0$ ,  $C = 1$  или отрицательном перепаде триггер сохраняет предшествующее состояние. Осциллограммы сигналов этого триггера приведены на рис. 6.10.

**8.  $T$ -триггер** имеет один вход, импульс на котором вызывает переключение  $T$ -триггера в противоположное состояние.

**9.  $JK$ -триггер** имеет два информационных входа  $J$  и  $K$  и один исполнительный вход  $C$ .

**Пример 6.5.** Нарисуйте осциллограммы сигналов двухступенчатого  $JK$ -триггера, условное графическое обозначение которого приведено на рис. 6.11.

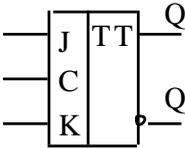


Рис. 6.11. Двухступенчатый  $JK$ -триггер

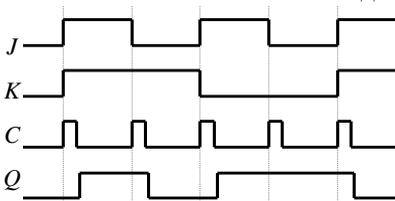


Рис. 6.12. Временные диаграммы сигналов двухступенчатого  $JK$ -триггера

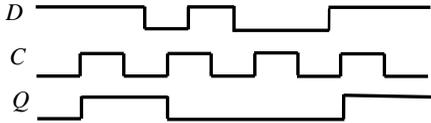


Рис. 6.10. Временные диаграммы  $D$ -триггера с прямым динамическим входом

**Решение:** Информационные входы  $JK$ -триггера используются для установки сигналом  $C$  триггера в единичное ( $J = 1$ ,  $K = 0$ ) или в нулевое ( $J = 0$ ,  $K = 1$ ) состояние. Если  $J = K = 1$ , триггер работает в счетном режиме (как  $T$ -триггер). В случае  $J = K = 0$  триггер сохраняет предыдущее состояние. Осциллограммы сигналов этого триггера приведены на рис. 6.12.

**10. Регистры** – это последовательностные устройства, выполненные на триггерах того или иного типа и предназначенные для приема, хранения (запоминания) и выдачи (считывания) информации, а также для ее преобразования. Различают параллельные, последовательные, последовательно-параллельные и параллельно-последовательные регистры.

В **параллельных регистрах** запись, и считывание выполняются параллельно, т. е. все разряды записываемой кодовой комбинации фиксируются в триггерах регистра одно-

временно и все разряды записанной в регистре кодовой комбинации считываются одновременно.

**Пример 6.6.** Нарисуйте временные диаграммы выходных сигналов четырехразрядного параллельного регистра (рис. 6.13) при входных воздействиях, указанных на рис. 6.14. За исходное состояние всех триггеров регистра примите единичное состояние.

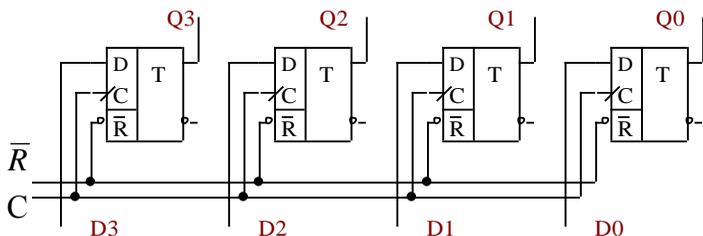


Рис. 6.13. Структурная схема параллельного регистра

**Решение:** Параллельный регистр реализован на D-триггерах с прямым динамическим входом и с инверсным асинхронным входом установки триггера в нулевое состояние. Поэтому сигнал  $\bar{R} = 0$  установит все триггеры регистра в нулевое состояние. Первый импульс, поступивший на входы  $C$  всех триггеров регистра, установит их в единичное состояние, второй – в нулевое состояние, третий – опять в единичное, четвертый не изменит состояние ни одного из триггеров регистра (рис. 6.15).

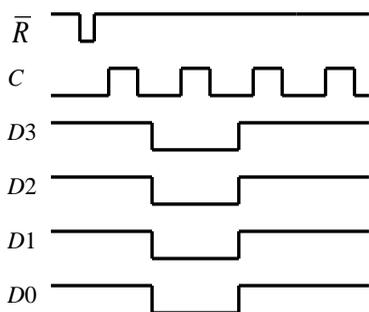


Рис. 6.14. Осциллограммы входных сигналов параллельного регистра

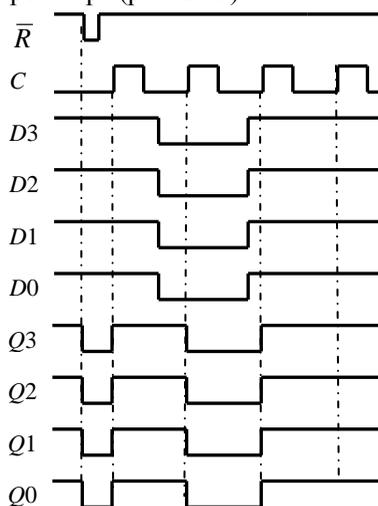


Рис. 6.15. Осциллограммы сигналов параллельного регистра

В **последовательных** регистрах информация записывается последовательно во времени, разряд за разрядом. Последовательная запись и чтение информации в таких регистрах осуществ-

ляются за счет сдвига их содержимого, т. е. перемещения всех цифр писанной кодовой комбинации в направлении от старших разрядов к младшим разрядам (сдвиг вправо) или от младших разрядов к старшим разрядам (сдвиг влево).

К **параллельно-последовательным** (**последовательно-параллельным**) регистрам относят такие регистры, в которых информация записывается параллельно (последовательно), а считывается последовательно (параллельно).

**Пример 6.7.** Нарисуйте временные диаграммы сигналов четырехразрядного последовательно-параллельного регистра (рис. 6.16), поясняющих его работу.

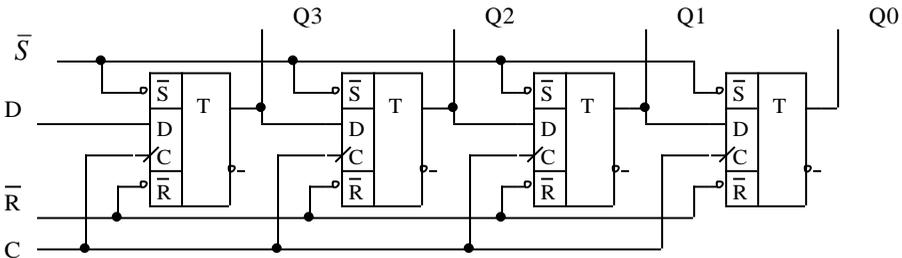


Рис. 6.16. Структурная схема последовательно-параллельного регистра

**Решение:** Параллельный регистр реализован на  $D$ -триггерах с прямым динамическим входом и с инверсными асинхронными входами установки в единичное и в нулевое состояние. Сигнал  $\bar{S} = 0$  устанавливает все триггеры регистра в единичное состояние (рис. 6.17), а сигнал  $\bar{R} = 0$  возвращает их в исходное нулевое состояние.

Триггеры регистра (рис. 6.16) соединены таким образом, что входные данные поступают на информационный вход  $D$  самого старшего триггера, а информационные входы  $D$  всех остальных триггеров соединены с прямыми выходами предшествующих (более старших) триггеров. Благодаря этому каждый импульс  $C$ , одновременно поступающий на исполнительные входы всех триггеров, обеспечивает загрузку входной информации в старший триггер регистра и сдвиг содержимого регистра на один разряд вправо, т. е. перемещение всех цифр записанной кодовой комбинации в направлении от старших разрядов к младшим разрядам (рис. 6.17).

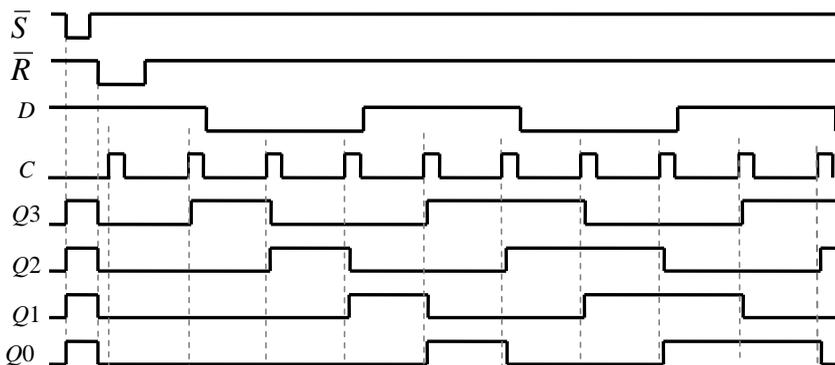


Рис. 6.17. Временные диаграммы сигналов последовательно-параллельного регистра

**11. Счетчик** – это последовательностная цифровая схема, которая под действием входных импульсов переходит из одного состояния в другое, фиксируя в том или ином коде число поступивших на его вход импульсов.

**Модуль счета** – число устойчивых состояний счетчика.

**Двоичный счетчик** – это счетчик, модуль счета которого  $K_{сч} = 2^n$ , где  $n$  – количество разрядов счетчика.

**Пример 6.8.** Нарисуйте таблицу переключения и временные диаграммы входных и выходных сигналов счетчика, условное обозначение которого приведено на рис. 6.18.

**Решение:** На рис. 6.18 приведено условное обозначение четырехразрядного двоичного суммирующего счетчика. Модуль счета этого счетчика  $K_{сч} = 2^4 = 16$ . Суммирующий счетчик с модулем счета 16 в процессе счета импульсов, поступающих на его счетный вход  $C$ , последовательно переходит из одного состояния в другое от 0000 до 1111 (табл. 6.2). Из состояния 1111 двоичный суммирующий счетчик с модулем счета возвращается в исходное состояние 0000. Этот процесс обычно называют переполнением. Временные диаграммы сигналов этого счетчика, полученные в соответствии с таблицей переключения (табл. 6.2), представлены на рис. 6.19.

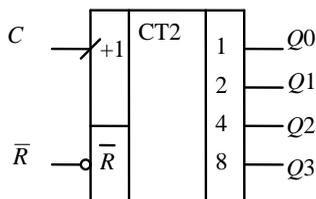


Рис. 6.18. Условное обозначение счетчика

**Пример 6.9.** Проанализируйте схему, представленную на рис. 6.20. Нарисуйте временные диаграммы сигналов схемы, объясняющих ее работу.

Таблица 6.2

Таблица переключения  
двоичного суммирующего  
счетчика

$N$	$Q3$	$Q2$	$Q1$	$Q0$
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

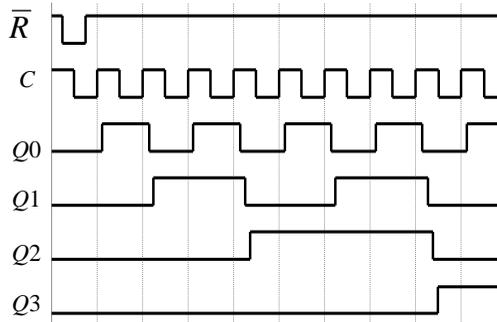


Рис. 6.19. Временные диаграммы сигналов двоичного суммирующего счетчика

**Решение:** На рис. 6.20 представлена структурная схема последовательного устройства, состоящего из четырех синхронных D-триггеров с прямым динамическим входом  $C$  и асинхронными инверсными входами

$\bar{S}$  и  $\bar{R}$  установки в единичное состояние и в нулевое состояние соответственно. Обратная связь, соединяющая инверсный выход каждого триггера с его информационным входом, преобразует D-триггер в T-триггер, т. е. в счетный триггер, переключающийся в противоположное состояние каждым переходом из нуля в единицу на входе  $C$ .

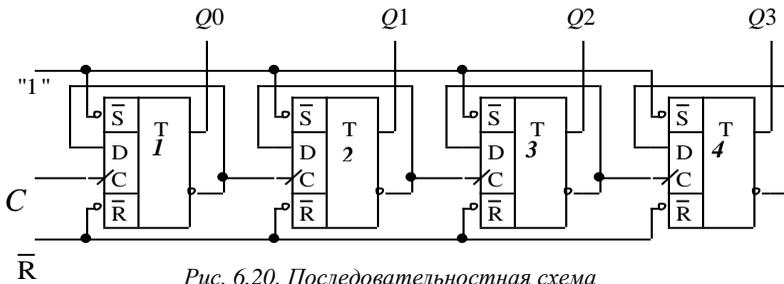


Рис. 6.20. Последовательная схема

Входной сигнал  $\bar{R} = 0$  поступает на асинхронный вход установки в нулевое состояние всех триггеров схемы и подтверждает их нулевое состояние (рис. 6.21). Тактовые импульсы  $C$  поступают на исполнительный вход первого триггера. Каждый импульс вызывает переключение триггера в противоположное состояние. Используемые триггеры являются триггерами с прямым динамическим входом, поэтому их переключе-

ние в противоположное состояние происходит по фронту входного импульса, т. е. в момент формирования перехода из нулевого состояния в единичное (рис. 6.21).

На исполнительный вход второго триггера подается сигнал с инверсного выхода первого триггера. Поэтому изменение его состояния на противоположное происходит в момент переключения первого триггера из единичного состояния в нулевое (рис. 6.21). Аналогично переключение всех остальных триггеров схемы происходит в момент перехода предшествующего триггера (триггера-источника сигнала) из единичного состояния в нулевое. Как видно из полученных временных диаграмм схемы, каждый входной импульс увеличивает состояние схемы  $Q_3Q_2Q_1Q_0$  на единицу, что соответствует суммирующему счетчику. Из полученных временных диаграмм видно, что данная схема имеет 16 устойчивых состояний, что соответствует двоичному четырехразрядному счетчику.

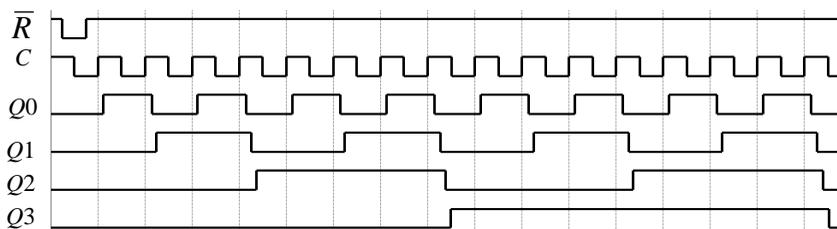


Рис. 6.21. Временные диаграммы сигналов

**Десятичный счетчик** – это счетчик с модулем счета  $K_{сч} = 10^n$ , где  $n$  – количество декад. **Декадой**, или **двоично-десятичным счетчиком**, называется счетчик, модуль счета которого равен 10.

## 6.2. Задачи и упражнения

6.1. Нарисуйте структурную схему, условное обозначение асинхронного  $RS$ -триггера с инверсными входами и временные диаграммы его выходных сигналов  $Q$  и  $\bar{Q}$  при входных воздействиях, указанных на рис. 6.22. Предположите, что задержка сигнала при прохождении через любой ЛЭ и длительности фронта и спада входных и выходных сигналов равны нулю.

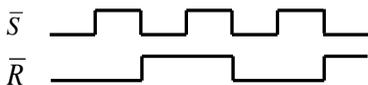


Рис. 6.22. Временные диаграммы входных сигналов

6.2. Проанализируйте схему, представленную на рис. 6.23. Нарисуйте временные диаграммы сигналов  $x_0$ ,  $x_1$ ,  $y_0$  и  $y_1$  при входных воздействиях, указанных на рис. 6.24. Предположите, что

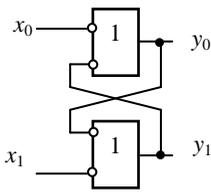


Рис. 6.23. Последовательно-стационарная схема

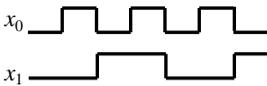


Рис. 6.24. Временные диаграммы входных сигналов

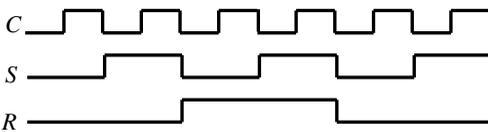


Рис. 6.25. Временные диаграммы входных сигналов стробируемого RS-триггера

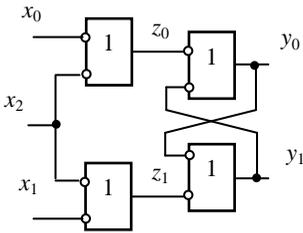


Рис. 6.26. Последовательно-стационарная схема

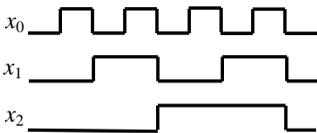


Рис. 6.27. Временные диаграммы входных сигналов

задержка сигнала при прохождении через любой ЛЭ и длительности фронта и спада входных и выходных сигналов равны нулю. Нарисуйте условное графическое обозначение этой схемы.

6.3. Нарисуйте схему стробируемого RS-триггера. Нарисуйте временные диаграммы выходных сигналов  $Q$  и  $\bar{Q}$  при входных воздействиях, указанных на рис. 6.25. Предположите, что длительность фронта и спада входных и выходных сигналов равна нулю и что задержка сигнала при прохождении через любой ЛЭ равна нулю.

6.4. Повторите предыдущее упражнение в предположении, что задержка сигнала при прохождении через ЛЭ И-НЕ, формирующий сигнал на прямом выходе триггера меньше задержки сигнала при прохождении через ЛЭ И-НЕ, формирующий сигнал на инверсном выходе триггера, а задержка

сигнала при прохождении через все остальные ЛЭ равна нулю.

6.5. Проанализируйте схему, представленную на рис. 6.26. Нарисуйте временные диаграммы сигналов  $z_0$ ,  $z_1$ ,  $y_0$  и  $y_1$  при входных воздействиях, указанных на рис. 6.27. Предположите, что длительность фронта и спада входных и выходных сигналов равна нулю и что задержка сигнала при прохождении через ЛЭ, формирующий сигнал  $y_0$ , больше задержки сигнала при прохождении через ЛЭ, формирующий сигнал  $y_1$ , а задержка сигнала при прохождении через все остальные ЛЭ равна нулю. Нарисуйте условное графическое обозначение этой схемы.

6.6. Проанализируйте схему, представленную на рис. 6.28. Нарисуйте временные диаграммы сигналов  $z_0$ ,  $z_1$ ,  $y_0$  и  $y_1$  при

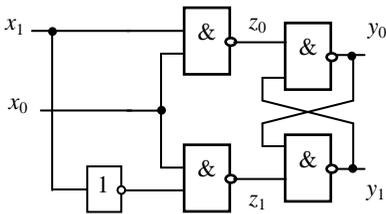


Рис. 6.28. Последовательная схема

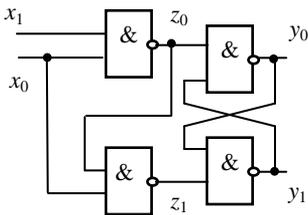


Рис. 6.29. Последовательная схема

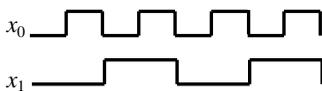


Рис. 6.30. Временные диаграммы входных сигналов

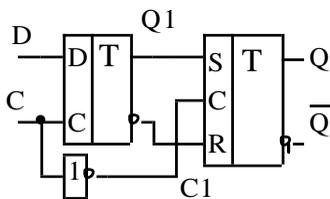


Рис. 6.31. Структурная схема последовательного устройства

входных воздействиях, указанных на рис. 6.29. Предположите, что длительность фронта и спада входных и выходных сигналов равна нулю и что задержка сигнала при прохождении через любой ЛЭ равна нулю. Суйте условное графическое обозначение этой схемы.

6.7. Проанализируйте схему, представленную на рис. 6.29. Нарисуйте временные диаграммы сигналов  $z_0$ ,  $z_1$ ,  $y_0$  и  $y_1$  при входных воздействиях, указанных на рис. 6.30. Предположите, что длительность фронта и спада входных и выходных сигналов равна нулю и что задержка сигнала при прохождении через любой ЛЭ равна нулю. Нарисуйте условное графическое обозначение этой схемы.

6.8. Покажите, как на основе  $D$ -триггера с динамическим управлением записью построить  $T$ -триггер. Нарисуйте осциллограммы сигналов, поясняющие работу предложенной схемы. Что произойдет, если в предложенной схеме  $T$ -триггера  $D$ -триггер с динамическим управлением записью заменить стробируемым  $D$ -триггером?

6.9. Проанализируйте схему, представленную на рис. 6.31. Нарисуйте временные диаграммы сигналов  $D$ ,  $C$ ,  $Q1$ ,  $C1$ ,  $Q$  и логическое графическое обозначение составленной на этом рисунке схемы.

6.10. Покажите, как на основе  $JK$ -триггера построить  $T$ -триггер и  $D$ -триггер. Нарисуйте временные диаграммы сигналов, поясняющие работу предложенных схем.

6.11. Нарисуйте схему четырехразрядного параллельного регистра на асинхронных  $D$ -триггерах. Нарисуйте также временные диаграммы выходных сигналов регистра для заданных на рис. 6.32 входных сигналов.

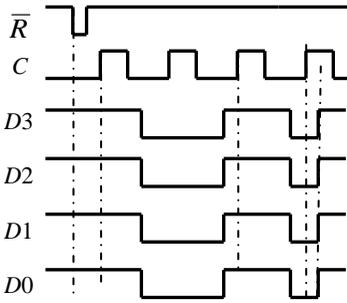


Рис. 6.32. Осциллограммы входных сигналов параллельного регистра

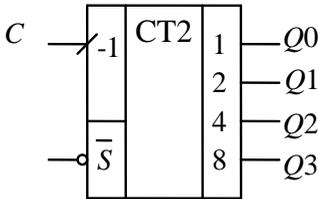


Рис. 6.33. Условное обозначение счетчика

6.12. Нарисуйте схему четырехразрядного сдвигающего влево регистра на  $D$ -триггерах с обратным динамическим входом. Нарисуйте временные диаграммы сигналов, поясняющие его работу, когда на вход регистра поступает шестизначный двоичный код 100110101. Как будет работать предложенная схема, если  $D$ -триггеры с динамическим входом заменить  $D$ -триггерами-защелками.

6.13. Нарисуйте таблицу переключения и временные диаграммы входных и выходных сигналов счетчика, условное обозначение которого приведено на рис. 6.33.

6.14. Проанализируйте схему, представленную на рис. 6.34. Нарисуйте временные диаграммы сигналов схемы, объясняющие ее работу. Приведите условное обозначение этой схемы.

6.15. Проанализируйте схему, представленную на рис. 6.35. Нарисуйте временные диаграммы сигналов схемы, объясняющие ее работу.

6.16. Нарисуйте таблицу переключений и временные диаграммы сигналов для одного полного цикла одноразрядного вычитающего десятичного счетчика.

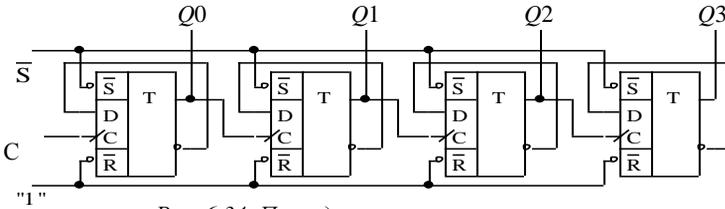


Рис. 6.34. Последовательная схема

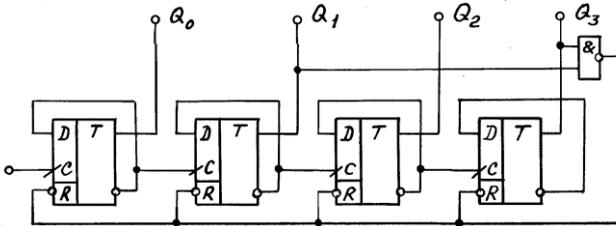


Рис. 6.35. Последовательная схема

## 7. Полупроводниковые запоминающие устройства

### 7.1. Краткое содержание

Классификация. Основные характеристики. Запоминающие устройства с произвольным доступом. Постоянные запоминающие устройства. Перепрограммируемые постоянные запоминающие устройства. [1], с. 72–82.

**1. Полупроводниковые запоминающие устройства (ППЗУ)** – запоминающие устройства, построенные на основе цифровых интегральных схем средней и большой степени интеграции и служащие для хранения информации и обмена ею с другими цифровыми устройствами. Особенность ППЗУ состоит в том, что в них и запоминающая среда, и схемы управления реализуются на однотипных полупроводниковых элементах в виде больших интегральных схем.

Загрузка текущей информации в память осуществляется в процессе ее записи, воспроизведение ранее записанной информации – в процессе чтения.

Записываемая информация подается на входы данных ИС ЗУ, привлекаемая информация поступает на выходы данных. Часто соответствующие входы данных и выходы данных объединяются. При этом направление передачи информации в ИС определяется режимом работы (запись и чтение), определяемым значением сигналов на управляющих входах записи и чтения.

**2. Основные параметры:**

– **информационная емкость** – максимально возможный объем хранимой информации;

– **структурная организация ЗУ** – произведение  $n \cdot m$ , где  $n$  – число хранимых в памяти слов, а  $m$  – их разрядность;

– **время цикла записи (чтения)** – минимальный допустимый интервал между последовательными записями (чтениями);

– **статические параметры** – входные и выходные напряжения низкого и высокого уровней, ток потребления в режиме хранения;

– **потребляемая мощность** для режима хранения информации и для активного режима работы, когда операции записи и считывания данных выполняются с номинальным быстродействием;

– **удельная стоимость** ИС ЗУ (стоимость хранения одного бита информации), равная отношению стоимости ИС к ее информационной емкости;

– **сохранение информации при отключении питания.**

**Пример 7.1.** Микроконтроллерная система имеет память емкостью 64К байтов, ее структурная организация 64К\*8. Определите емкость памяти в битах.

**Решение:** Для адресации к памяти емкостью 64К байтов требуется 16-разрядный адрес. Информационная емкость памяти в битах  $N = 2^n \cdot m$ , где  $n$  – разрядность адреса,  $m$  – разрядность хранимых данных или длина слова. Общее число бит в рассматриваемой памяти  $N = 2^{16} \cdot 8 = 65\,536 \cdot 8 = 524\,288$  бит.

**Пример 7.2.** Нарисуйте условное обозначение ИС ОЗУ со структурой 1К·1, с отдельными входами и выходами данных, с отдельными входами для управляющих сигналов **Запись** ( $WR$ ) и **Чтение** ( $RD$ ) и с входом для управляющего сигнала **Выборка кристалла**  $\overline{CS}$ .

**Решение:** ИС ОЗУ имеют адресные входы, входы управления, входы и выходы данных.

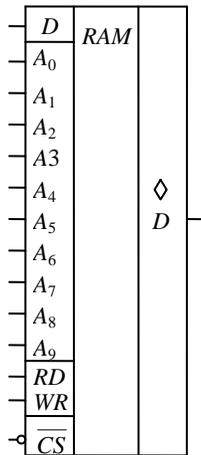


Рис. 7.1. Условное обозначение ИС ОЗУ

Адресные входы обычно обозначаются  $A_0, A_1, \dots, A_{k-1}$ . Число адресных входов  $k$  можно найти из выражения  $2^k = n$ , где  $n$  – число хранимых в памяти слов. В рассматриваемом случае  $k = 10$  (рис. 7.1).

Число входов и выходов данных определяются разрядностью хранимых в памяти слов. Рассматриваемая ИС имеет один вход данных  $D$  и один выход данных  $D$  (рис. 7.1).

Кроме адресных входов и входа данных ИС имеет три входа управляющих сигналов записи  $WR$ , чтения  $RD$ , выборки кристалла  $\overline{CS}$  (рис. 7.1).

**3.** По способу организации доступа к памяти различают ЗУ с произвольным доступом (адресные) и ЗУ с последовательным доступом.

**В ЗУ с произвольным доступом** запоминающие ячейки являются адресуемыми и, следовательно, обращение к ним может производиться в произвольном порядке. Время доступа к любому элементу информации одинаково и не зависит от адреса этого элемента и адресов других элементов, к которым были произведены предыдущие обращения.

**ЗУ с последовательным доступом** характеризуются тем, что время обращения к ячейкам памяти различно и зависит от их местоположения. При этом в отличие от ЗУ с произвольным доступом обращение к запоминающим ячейкам возможно только в порядке возрастания или убывания адресов.

4. В зависимости от способов обращения к полупроводниковым ЗУ различают оперативные запоминающие устройства (ОЗУ) и постоянные запоминающие устройства (ПЗУ).

5. **Оперативные запоминающие устройства** – это ЗУ с произвольной выборкой, предназначенные для записи, хранения и считывания данных в процессе их обработки. ОЗУ является энергозависимой памятью.

В зависимости от способа хранения одного бита информации различают ОЗУ статического и ОЗУ динамического типа.

**Пример 7.3.** Нарисуйте временные диаграммы сигналов  $A_9...A_0$ ,  $D_7...D_0$ ,  $\overline{CS}$ ,  $\overline{WR}$ ,  $\overline{RD}$ , характеризующие работу ИС ОЗУ со структурой  $1K \cdot 8$  в режиме записи.

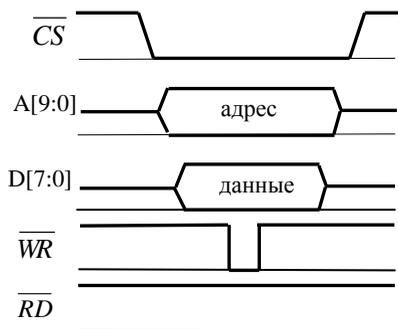


Рис. 7.2. Временные диаграммы сигналов ИС ОЗУ в режиме записи

**Решение:** В режиме записи на вход **Выборка кристалла** необходимо подать активный уровень сигнала, т. е.  $\overline{CS} = 0$ , на адресные входы – адрес ячейки ОЗУ, в которую необходимо записать байт данных, на входы данных – слово данных. Затем на управляющий вход Запись – активный уровень сигнала, соответствующий режиму записи данных, т. е.  $\overline{WR} = 0$  (рис. 7.2). Этот сигнал обеспечивает загрузку данных, поданных на адресные входы ИС в адресуемую ячейку ОЗУ. По окончании его необходимо снять все ранее поданные сигналы (рис. 7.2).

6. В **статическом ОЗУ** запоминающим элементом является триггер. Он выполняется как на биполярных транзисторах, так и на МОП-транзисторах. ОЗУ на биполярных транзисторах обладает более высоким быстродействием. И поэтому, несмотря на большее по сравнению с ОЗУ на МОП-транзисторах потребление энергии, они находят в настоящее время достаточно широкое применение. Основным достоинством статических ОЗУ на МОП-транзисторах является высокая помехоустойчивость и большой диапазон допустимых напряжений, главным недостатком – большая площадь, занимаемая каждым запоминающим элементом на кристалле.

7. В **динамическом ОЗУ** запоминающим элементом является конденсатор. Динамические ОЗУ обладают наилучшим показателем отношения информационная емкость/стоимость и применяются для построения

ния ОЗУ большой емкости. Динамические ОЗУ уступают статическим ОЗУ в быстродействии.

**8. К постоянным запоминающим устройствам** относятся запоминающие устройства, допускающие многократное чтение и редкую (однократную) запись информации. ПЗУ являются ЗУ с произвольной выборкой, в которых время записи значительно больше времени чтения, а сам процесс замены информации во многих случаях является достаточно сложным. Поэтому содержимое ПЗУ при исполнении текущей программы не изменяется (доступно только по чтению). ПЗУ является энергонезависимой памятью.

Различают ПЗУ с масочным программированием, программируемые и перепрограммируемые.

**9. В ПЗУ с масочным программированием** запись информации производится на заводе-изготовителе с помощью специальных фотомасок. Достоинство – низкая стоимость готовой (запрограммированной) ИС и высокое быстродействие. Основной недостаток – невозможность модифицировать данные в ИС после ее изготовления.

**10. В программируемых постоянных запоминающих устройствах (ППЗУ)** информация может быть записана пользователем однократно с помощью специального устройства – программатора. Достоинство – возможность программировать готовую ИС ПЗУ и высокое быстродействие. Основной недостаток – невозможность модифицировать данные в ИС после ее изготовления.

**11. Репрограммируемые (перепрограммируемые) постоянные запоминающие устройства (РПЗУ)** – разновидность ПЗУ, содержимое которого может быть заменено путем стирания старой информации и записи новой. Различают перепрограммируемое ПЗУ с ультрафиолетовым стиранием и перепрограммируемое ПЗУ с электрическим стиранием.

В первом случае стирание выполняется с помощью облучения кристалла ультрафиолетовым излучением определенной частоты и интенсивности. К недостаткам следует отнести небольшое количество циклов перезаписи и необходимость извлечения ИС из системной платы для стирания и программирования. В настоящее время ИС РПЗУ с ультрафиолетовым стиранием сняты с производства.

В ИС РПЗУ с электрическим стиранием стирание ранее записанной информации производится электрическими сигналами. При этом стирание каждой ячейки выполняется автоматически при записи в нее новой информации. В ИС РПЗУ обеспечивается возможность производить стирание отдельной ячейки.

Для выполнения операции стирания и повторного программирования ИС не обязательно извлекать из системной платы.

**12. Флэш-память** по запоминающему элементу подобна перепрограммируемому ПЗУ с электрическим стиранием. Однако во Флэш-памяти не предусмотрено стирание отдельных слов, стирание информации осуществляется либо для всей памяти одновременно, либо для достаточно больших блоков. Благодаря этому обеспечивается по сравнению с РПЗУ с электрическим стиранием более высокая скорость записи.

Для выполнения операции стирания и повторного программирования ИС Флэш-памяти не обязательно извлекать из системной платы.

## 7.2. Задачи и упражнения

7.1. Нарисуйте условное обозначение ИС ОЗУ со структурой  $256 \cdot 8$ , с объединенными входами и выходами данных и отдельными входами для управляющих сигналов Запись ( $WR$ ), Чтение ( $RD$ ) и Выборка кристалла ( $\overline{CS}$ ).

7.2. Нарисуйте условное обозначение ИС масочного ПЗУ со структурой  $512 \cdot 8$ .

7.3. Нарисуйте временные диаграммы сигналов  $A_9 \dots A_0$ ,  $D_7 \dots D_0$ ,  $\overline{CS}$ ,  $WR$  и  $RD$  характеризующие работу ИС ОЗУ со структурой  $1K \cdot 8$  в режиме чтения.

7.4. Нарисуйте временные диаграммы сигналов, характеризующие работу ИС масочного ПЗУ со структурой  $2K \cdot 4$ .

7.5. Нарисуйте схему запоминающего элемента биполярного статического ОЗУ.

7.6. Нарисуйте схему запоминающего элемента статического ОЗУ на МОП-транзисторах.

7.7. Нарисуйте схему запоминающего элемента динамического ОЗУ.

7.8. Структурная организация  $32K \cdot 16$ . Определите емкость памяти в битах и байтах.

7.9. Определите разрядность адреса и длину слова памяти, структурная организация которой  $16K \cdot 16$ . Рассчитайте емкость памяти в битах.

7.10. Кратко объясните разницу между масочным ПЗУ, программируемым ПЗУ, перепрограммируемыми ПЗУ с ультрафиолетовым стиранием и с электрическим стиранием, Флэш-ПЗУ.

7.11. Кратко объясните разницу между ОЗУ и ПЗУ.

## 8. Цифровые процессоры

### 8.1. Краткое содержание

Микропроцессоры. Базовая структура микропроцессорной системы. Структурная схема микропроцессора. Команды микропроцессора.

Микроконтроллеры. Структурная схема микроконтроллера. Подсистема ввода/вывода. Таймеры/счетчики. Система команд. [1], с. 83–94.

**1. Микропроцессор (МП)** – это программно-управляемое цифровое устройство, предназначенное для обработки цифровой информации и управления процессом этой обработки, выполненное в виде одной или нескольких интегральных схем. Используется в качестве центрального процессора в микро-ЭВМ и в микропроцессорных системах автоматизации эксперимента.

**2. Архитектура микропроцессора** – описание микропроцессора, включающее его организацию и характеристики, рассматриваемые с позиций пользователя, способы представления и форматы данных, способы обращения ко всем программно-доступным элементам структуры (адресация к регистрам, ячейкам памяти, внешним устройствам), систему команд, характеристики вырабатываемых микропроцессором и поступающих в него извне управляющих сигналов и т. д.

**3. Микропроцессорная система** состоит из микропроцессора, системной магистрали, памяти и подсистемы ввода/вывода.

**Микропроцессор** непосредственно выполняет арифметические и логические операции над данными, осуществляет программное управление процессом обработки данных, организует взаимодействие всех элементов системы.

**Системная магистраль** (шина) микропроцессорной системы – среда передачи сигналов, к которой параллельно подключены все компоненты системы и через которую осуществляется обмен данными, передача адресов и управляющих сигналов. Состоит из однонаправленной шины адреса (ША), двунаправленной шины данных (ШД) и шины управления (ШУ).

**Шина адреса** обеспечивает передачу формируемых МП адресов ячеек памяти, устройств ввода и устройств вывода. Передача адресов в обратном направлении невозможна.

**Шина данных** используется для обмена данными (операндами) между МП, с одной стороны, и памятью, устройствами ввода и вывода, с другой. ШД является двунаправленной, т. е. по ней возможна передача данных как из МП в память или устройства вывода, так и из памяти или устройств ввода в МП.

**Шина управления** предназначена для передачи управляющих сигналов, необходимых для организации обмена данными и управления работой всех элементов микропроцессорной системы.

В микропроцессорных системах используется так называемая **фон-неймановская организация памяти**, при которой для хранения программ и данных используется одно пространство памяти. Программы и данные хранятся в этом пространстве, и нет никаких признаков, указывающих на тип информации в ячейке памяти. Память подразделяется на ПЗУ и ОЗУ.

**Подсистема ввода/вывода** объединяет устройства ввода и устройства вывода, обеспечивающие возможность обмена информацией между микропроцессором и внешней средой.

*Пример 8.1.* Микропроцессорная система имеет 10-разрядную шину адреса и 8-разрядную шину данных. Определите максимальную емкость памяти в битах и байтах, которую может иметь эта система.

*Решение:* Так как разрядность шины данных равна 8, а емкость памяти в байтах равна  $2^{10} = 1024$ , то емкость памяти в битах равна  $1024 \cdot 8 = 8192$ .

**4. Микропроцессор** состоит из трех основных блоков: арифметико-логического устройства (АЛУ), блока регистра команд и блока регистров.

**Блок АЛУ** выполняет арифметическую и логическую обработку данных, представленных в двоичном или в двоично-десятичном коде.

**Блок регистра команд** предназначен для выработки синхронизирующих и управляющих сигналов, обеспечивающих выполнение каждой команды и координацию совместной работы всех блоков МП.

**Блок регистров** обеспечивает выборку команд из памяти и возможность обмена информацией между различными функциональными узлами МП в процессе выполнения программы.

**5. МП организует обработку данных под управлением программы**, представляющей собой определенным образом организованную совокупность машинных команд.

**Машинной командой** называется двоичное слово, воспринимаемое МП и определяющее все его действия при выполнении команды. Каждая машинная команда состоит из кода операции и поля адреса. **Код операции** определяет вид выполняемой операции. **Поле адреса** определяет местоположение обрабатываемых данных (операндов) и результата операции.

**6. По функциональному назначению** команды микропроцессора можно подразделить на **команды передачи данных, команды преобразования данных и команды управления программой**.

**7. Способ адресации** определяет алгоритм преобразования исходного адреса, указанного в поле адреса команды, в исполнительный (действительный) адрес ячейки памяти, устройства ввода/вывода или регист-

ра МП. Перечень возможных способов адресации является одной из важнейших архитектурных характеристик МП.

**Пример 8.2.** Изобразите формат команды *LDA 1234H* МП *Intel 8080* и дайте необходимые пояснения.

**Решение:** В МП *Intel 8080* в командах с прямой адресацией действительный адрес операнда, представляющий собой двухбайтный адрес ячейки памяти или однобайтный адрес устройства ввода/вывода, содержится в коде команды. Команда *LDA 1234H* обеспечивает загрузку содержимого ячейки памяти в аккумулятор. Двухбайтный адрес ячейки памяти находится во втором (младший байт) и в третьем (старший байт) байтах кода команды. Так как адрес аккумулятора задан неявно, первый байт этой команды является кодом операции. Формат команды *LDA 1234H* приведен на рис. 8.1.



Рис. 8.1. Формат команды *LDA 1234H*

**8.** Совокупность действий, реализуемых в процессе выполнения команды, называется **командным циклом**.

Командный цикл может быть реализован за несколько машинных циклов (МЦ).

Каждый МЦ может состоять из нескольких машинных тактов. Длительность машинного такта равна периоду импульсов генератора тактовых импульсов микропроцессорной системы.

Количество МЦ в командном цикле и, следовательно, время выполнения команды определяются используемыми способами адресации

**Пример 8.3.** Частота генератора тактовых импульсов микропроцессора  $f = 1$  МГц. Определите время выполнения команды, состоящей из трех машинных циклов, каждый из которых состоит из четырех машинных тактов.

**Решение:** Длительность машинного такта  $t_m$  равна периоду следования импульсов генератора, т. е. равна 1 мкс. Тогда время выполнения команды равно  $3 \cdot 4 \cdot 1$  мкс = 12 мкс.

**9. Микроконтроллер (МК)** – функционально законченная микро-ЭВМ, выполненная в виде одной большой интегральной схемы и специально предназначенная для использования в управляющих системах.

Основным классификационным признаком МК является его разрядность. Имеются 4-, 8-, 16-, 32-разрядные МК.

**10.** Первые 8-разрядные МК относятся к *CISC МК* – МК с **полным набором команд**. Позже начало развиваться направление так называемых **МК с сокращенным набором команд** (*RISC МК*). Все или большинство команд этих МК имеет одинаковую длину (одинаковый формат), что обеспечивает их выполнение с высокой скоростью и с перекрытием по времени выборки команд и циклов выполнения.

**11. Команды МК** по функциональному признаку можно подразделить на пять групп:

- команды передачи данных;
- команды арифметических операций;
- команды логических операций;
- команды операций с битами;
- команды передачи управления.

Формат команд *CISC МК* одно-, двух- и трехбайтовый, причем большинство команд имеет формат один или два байта. Первый байт команд любого формата всегда содержит код операции, второй и третий байты содержат либо адреса операндов, либо непосредственно операнды.

**12.** Базовый микроконтроллер семейства *MCS-51* содержит:

- центральный процессор;
- память данных и память программ;
- подсистему ввода/вывода, обеспечивающую обмен данными с внешней средой в параллельном и в последовательном форматах;
- блок таймеров/счетчиков, обеспечивающий счет внешних событий и формирование временных интервалов заданной длительности;
- контроллер прерываний, обеспечивающий обмен данными по прерыванию.

**13. Центральный процессор** микроконтроллера – устройство, осуществляющее обработку данных и выборку команд из памяти программ, декодирование их и выполнение. Он управляет работой всех элементов МК, организует обмен данными не только внутри ЦП, но и со всеми внешними устройствами ввода/вывода.

**14.** В МК используется так называемый **гарвардский тип** организации памяти, когда для хранения данных и для хранения программ используют различные запоминающие устройства. Память программ и память данных могут иметь разную разрядность, в системе команд для обращения к ним предусмотрены различные команды и т. д.

**Память программ** предназначена для хранения программ. Она является энергонезависимой, допускает только чтение.

Емкость резидентной (внутренней) памяти программ (РПП) в базовом микроконтроллере семейства *MCS-51* 4 Кбайта.

**Память данных** предназначена для хранения входных данных и результатов их обработки. Она является энергозависимой, допускает за-

пись и чтение. Емкость резидентной (внутренней) памяти данных (РПД) в базовом микроконтроллере семейства *MCS-51* 128 байтов. Она может быть расширена до 64 Кбайтов путем подключения внешних ИС памяти (внешней памяти данных).

К адресному пространству памяти данных примыкает адресное пространство регистров специальных функций РСФ (*SFR*).

**15. Базовый микроконтроллер семейства *MCS-51* содержит четыре параллельных порта ввода/вывода *P0*, *P1*, *P2*, *P3***, предназначенных для обмена информацией МК с внешними устройствами. Каждая линия (группа линий) портов может быть использована индивидуально для ввода или вывода информации.

Порты *P0*, *P2*, *P3* могут выполнять ряд дополнительных функций.

**16. Последовательный порт базового микроконтроллера семейства *MCS-51* – универсальный асинхронный приемопередатчик (УАПП)** – обеспечивает прием и передачу информации, представленной в последовательном коде.

УАПП может работать в четырех режимах. В режиме 0 УАПП реализует полудуплексный синхронный канал передачи данных, а в режимах 1, 2 и 3 – дуплексный асинхронный канал.

**17. Блок таймеров/счетчиков** базового микроконтроллера семейства *MCS-51* содержит два программируемых 16-разрядных таймера/счетчика (*T/C0* и *T/C1*). Каждый из них может быть использован как в качестве таймера, так и в качестве счетчика внешних событий. В первом случае содержимое соответствующего *T/C* инкрементируется в каждом машинном цикле, т. е. через 12 периодов тактового генератора. Во втором случае содержимое *T/C* инкрементируется под воздействием перехода из 1 в 0 внешнего сигнала, подаваемого на соответствующий вход (*T0*, *T1*) МК.

**18. Контроллер прерываний** базового микроконтроллера семейства *MCS-51* обеспечивает возможность аппаратного прерывания от двух внешних источников прерывания и четырех внутренних источников прерывания. К внутренним источникам относятся передатчик УАПП, приемник УАПП, *T/C0* и *T/C1*.

Запрос любого источника прерывания заставляет ЦП микроконтроллера прервать выполнение текущей программы и перейти к выполнению специальной подпрограммы обслуживания прерывания. По окончании подпрограммы ЦП возвращается к выполнению прерванной программы.

## 8.2. Задачи и упражнения

8.1. Микропроцессорная система имеет 16-разрядную шину адреса и 12-разрядную шину данных. Определите максимальную емкость памяти в битах и байтах, которую может иметь эта система.

8.2. Охарактеризуйте системную магистраль микропроцессорной системы.

8.3. Перечислите основные функциональные узлы микропроцессорной системы и дайте им краткую характеристику.

8.4. Определите, какая из двух микропроцессорных систем, реализованных на одноплатных микропроцессорах, обладает большим быстродействием, если частота следования тактовых импульсов в первой системе равна 10 МГц, а период следования тактовых импульсов во второй системе равен  $10 \cdot 10^{-9}$  с. Обоснуйте свой вывод.

8.5. Нарисуйте структурную схему блока регистра команд микропроцессора I8080 и объясните его роль в процессе выполнения команды.

8.6. Нарисуйте структурную схему блока регистров микропроцессора I8080 и объясните роль этого блока в процессе выборки команды из программной памяти и назначение всех его элементов.

8.7. Перечислите способы адресации, применяемые в МП *Intel* 8080, в порядке убывания скорости их выполнения.

8.8. Шестнадцатиразрядный микропроцессор использует 24-разрядное адресное поле, обеспечивающее доступ к 16 777 216 ячейкам памяти. Команда прямой адресации позволяет обращаться к любой ячейке памяти. Нарисуйте формат команды с прямой адресацией, если для кода операции выделен один байт.

8.9. Изобразите формат команды МП *Intel* 8080 с непосредственной адресацией и дайте необходимые пояснения.

8.10. Изобразите формат команды МП *Intel* 8080 с регистровой адресацией и непосредственной адресацией и дайте необходимые пояснения.

8.11. Перечислите основные функциональные узлы микроконтроллера.

8.12. Нарисуйте структурную схему базового микроконтроллера семейства *MCS-51*.

8.13. Перечислите способы адресации, используемые для обращения к младшим 32 ячейкам резидентной памяти данных.

8.14. Определите используемый в двухбайтовой команде способ адресации, если в ее втором байте содержатся данные.

8.15. Объясните назначение счетчика команд базового микроконтроллера семейства *MCS-51*.

8.16. Дайте краткую характеристику команд с регистровой адресацией и с косвенной регистровой адресацией.

8.17. Дайте сравнительную характеристику памяти данных и памяти программ базового микроконтроллера семейства *MCS-51*.

## 9. Обмен данными в параллельном и последовательном форматах

### 9.1. Краткое содержание

Синхронный и асинхронный программно-управляемый обмен данными. Обмен данными по прерыванию. Обмен данными по каналу прямого доступа к памяти. Асинхронная и синхронная передача данных в последовательном формате. [1], с. 95–107.

**1. Подсистема ввода-вывода систем автоматизации** представляет собой совокупность аппаратных и программных средств. Она содержит внешние устройства ввода-вывода и их интерфейсы. Под интерфейсом обычно понимают совокупность аппаратных и программных средств, управляющих внешним устройством. Интерфейс согласует уровни электрических сигналов, а также преобразует машинные данные в формат, необходимый устройству, и наоборот.

**2. Обмен данными** между процессором и внешними устройствами возможен в параллельном формате (параллельная передача данных) или в последовательном (последовательная передача данных).

**3. При параллельной передаче данных** все биты передаваемого слова передаются одновременно. Для организации параллельной передачи требуется столько сигнальных линий, сколько разрядов в передаваемом слове. Для организации обмена данными в параллельном формате используют программно-управляемый ввод-вывод, ввод-вывод по прерываниям и ввод-вывод по каналу прямого доступа.

**4. В случае программно-управляемого обмена** все действия по обмену данными инициируются программой ввода-вывода, а сам обмен выполняется под управлением программы. Периферийные устройства при этом выполняют пассивную роль, информируя (в лучшем случае) процессор о готовности к обмену. Интерфейсом в этом случае являются так называемые порты ввода-вывода данных, представляющие собой адресуемые с помощью дешифратора адреса шинные формирователи с тремя состояниями выходных каскадов или буферные регистры. Существует две разновидности программно-управляемого ввода-вывода: синхронный и асинхронный.

**5. Синхронный программно-управляемый обмен данными** характеризуется самым простым интерфейсом. Однако он возможен лишь с внешними устройствами, всегда готовыми к обмену или работающими синхронно с процессором.

**6. Интерфейс ВУ для асинхронного программно-управляемого обмена данными (ввода-вывода с запросом готовности внешнего**

устройства к обмену) наряду с соответствующим портом (ввода или вывода), непосредственно обеспечивающим обмен данными, обязательно содержит регистр состояния внешних устройств, с помощью которого процессор определяет готовность внешних устройств к обмену.

**7. Обмен данными по прерыванию** реализуется по инициативе внешнего устройства под управлением программы. Внешнее устройство формирует сигнал запроса на прерывание и информирует тем самым процессор о своей готовности к обмену. Реагируя на этот сигнал, процессор передает управление подпрограмме обслуживания устройства, вызвавшего прерывание. По окончании этой подпрограммы процессор продолжает выполнение прерванной программы.

**8. В режиме прямого доступа к памяти** действия процессора приостанавливаются, он отключается от системной шины и не участвует в обмене данными между основной памятью и быстродействующим внешним устройством. Передача данных в этом случае осуществляется по специальному каналу, называемому каналом прямого доступа к памяти.

**9. При последовательной передаче данных** используется одна сигнальная линия, по которой биты данных передаются друг за другом последовательно. Последовательная передача позволяет сократить количество сигнальных линий и увеличить дальность связи. Различают два способа последовательной передачи данных: асинхронный и синхронный.

**10. При асинхронной последовательной передаче** передаче каждого байта предшествует передача старт-бита, имеющего всегда строго определенное значение (логический ноль). Он информирует приемник о начале посылки. За стартовым битом следует передача битов данных и, возможно, бита паритета (четности). Завершает посылку передача стоп-бита.

**11. Синхронная последовательная передача** начинается с посылки синхробайта, за которым сразу же следует поток информационных бит. В синхронном режиме необходима внешняя синхронизация приемника с передатчиком. Она возможна либо с помощью отдельной линии для передачи сигнала синхронизации, либо с использованием самосинхронизирующего кодирования данных, при котором на стороне приемника из принятого сигнала могут быть выделены импульсы синхронизации.

## 9.2. Задачи и упражнения

9.1. Нарисуйте структурную схему интерфейса синхронного программно-управляемого ввода.

9.2. Дайте краткую характеристику синхронного программно-управляемого обмена данными.

9.3. Дайте сравнительную характеристику обмена данными в последовательном и параллельном форматах.

9.4. Укажите назначение регистра состояния интерфейса асинхронного программно-управляемого обмена данными.

9.5. Дайте краткую характеристику обмена данными по прерыванию.

9.6. Перечислите преимущества обмена данными по прерыванию по сравнению с программно-управляемым асинхронным вводом-выводом.

9.7. Дайте краткую характеристику обмена данными по каналу прямого доступа к памяти.

9.8. Дайте краткую характеристику синхронного и асинхронного ввода-вывода данных в последовательном формате.

9.9. Объясните, каким образом осуществляется синхронизация приемника и передатчика в случае асинхронной последовательной передачи данных.

9.10. Объясните, какие дополнительные функции должен обеспечить интерфейс последовательной передачи данных по сравнению с интерфейсом параллельной передачи данных.

9.11. Укажите, по крайней мере, два основных отличия обмена данными по каналу прямого доступа к памяти от обмена данными по прерыванию.

## 10. Цифро-аналоговые преобразователи

### 10.1. Краткое содержание

Статические и динамические параметры. Параллельные цифро-аналоговые преобразователи с весовыми резисторами и с резистивной сеткой  $R-2R$ . [1], с. 108–115.

**1. Цифро-аналоговый преобразователь (ЦАП)** предназначен для преобразования числа, заданного, как правило, в виде кода, в аналоговую величину (напряжение или ток), пропорциональную значению цифрового кода.

Выходной сигнал цифро-аналогового преобразователя  $S_{\text{вых}} = NS_{\text{пш}}$ , где  $S_{\text{пш}}$  – номинальный выходной сигнал полной шкалы, а  $N$  – дробный эквивалент числа, заданного входным двоичным кодом.

*Пример 10.1.* Определите выходные напряжения десятиразрядного ЦАП, соответствующие старшему и младшему разрядам входного кода, если  $U_{\text{пш}} = 1024$  мВ.

*Решение:* Дробный эквивалент числа, заданного двоичным кодом, равен частному от деления преобразуемого числа на  $2^{10} = 1024$ . Дробный эквивалент двоичного числа  $1000000000$   $N_{\text{ст}} = 2^9/2^{10} = 1/2$  и выходное напряжение ЦАП, соответствующее старшему разряду входного кода,  $U_{\text{вых.ст}} = 1024 \text{ мВ}/2 = 512$  мВ. Дробный эквивалент двоичного числа  $0000000001$   $N_{\text{мл}} = 1/2^{10}$  и выходное напряжение ЦАП, соответствующее младшему разряду входного кода,  $U_{\text{вых.мл}} = 1024 \text{ мВ}/1024 = 1$  мВ.

**2. Зависимость между аналоговым выходным сигналом ЦАП и его входным кодом называется характеристикой преобразования.**

**3. У идеального ЦАП** изменение выходной аналоговой величины (шаг квантования), соответствующее изменению входного цифрового кода от одного значения к другому смежному значению, отличающемуся на единицу, во всем диапазоне входных сигналов есть величина постоянная. Характеристика преобразования такого ЦАП является линейной.

*Пример 10.2.* Нарисуйте характеристику преобразования идеального трехразрядного ЦАП.

*Решение:* Характеристика преобразования приведена на рис. 10.1.

**4. Характеристика преобразования** реального ЦАП может существенно отличаться от идеальной характеристики преобразования. Для количественной оценки этих различий существует целый ряд параметров. К статическим параметрам ЦАП относится разрешающая способность, погрешность смещения нуля, погрешность полной шкалы, нелинейность и дифференциальная нелинейность, немонотонность характеристики преобразования.

**5. Быстродействие ЦАП** характеризуется временем установления и скоростью нарастания выходного сигнала ЦАП.

**6.** Существует два Аналоговый выход

наиболее распространенных метода цифро-аналогового преобразования: с использованием матрицы взвешенных по двоичному закону резисторов и матрицы резисторов  $R-2R$ .

**Пример 10.3.** Рассчитайте выходное напряжение 4-разрядного ЦАП с двоично-взвешенными резисторами, схема которого приведена на рис. 10.2, для входных кодов 0000, 0001, 0010, 0100, 1000. Сопротивление  $R = 100 \text{ Ом}$ .

**Решение:** Представленный на рис. 10.2 ЦАП с двоично-взвешенными резисторами состоит из:

- двухпозиционных аналоговых ключей, управляемых преобразуемым кодом;
- цепочки взвешенных по двоичному закону резисторов;
- источника опорного напряжения  $U_0$ ;
- суммирующего элемента, с помощью которого суммируются протекающие через цепочку резисторов токи, на его выходе формируется напряжение  $U_{\text{вых}} = RI_{\text{см}}$ .

В случае  $a_3a_2a_1a_0 = 0001$  ключ  $K_0$  подключает резистор  $R_0$  к источнику опорного напряжения  $U_0$ , на вход суммирующего элемента течет ток  $I_{\text{см}} = 8 \text{ В}/8 \text{ кОм} = 1 \text{ мА}$  и на выходе ЦАП формируется  $U_{\text{вых}} = I_{\text{см}}R = 1 \text{ мА} \cdot 100 \text{ Ом} = 100 \text{ мВ}$ .

В случае  $a_3a_2a_1a_0 = 0010$  ключ  $K_1$  подключает резистор  $R_1$  к источнику опорного напряжения  $U_0$ , на вход суммирующего элемента течет ток  $I_{\text{см}} = 8 \text{ В}/4 \text{ кОм} = 2 \text{ мА}$  и на выходе ЦАП формируется  $U_{\text{вых}} = I_{\text{см}}R = 2 \text{ мА} \cdot 100 \text{ Ом} = 200 \text{ мВ}$ .

Аналогично для кода  $a_3a_2a_1a_0 = 0100$   $I_{\text{см}} = 8 \text{ В}/2 \text{ кОм} = 4 \text{ мА}$  и  $U_{\text{вых}} = I_{\text{см}}R = 4 \text{ мА} \cdot 100 \text{ Ом} = 400 \text{ мВ}$ .

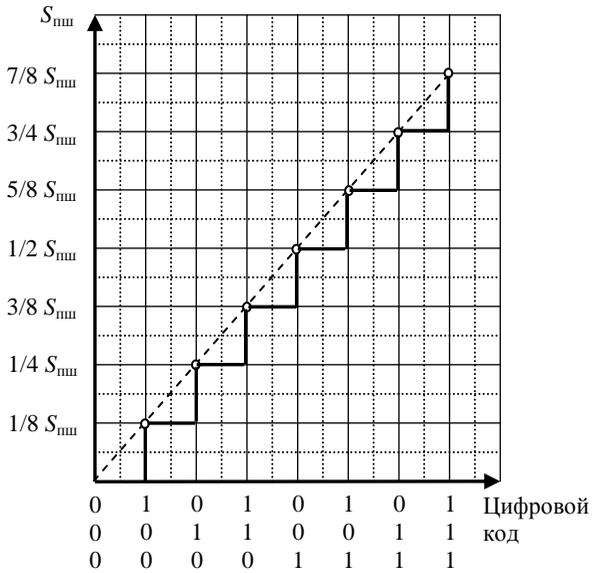


Рис. 10.1. Характеристика преобразования идеального трехразрядного ЦАП

Для кода  $a_3a_2a_1a_0 = 1000$   $I_{CM} = 8 \text{ В}/1 \text{ кОм} = 8 \text{ мА}$  и  $U_{\text{ВЫХ}} = 800 \text{ мВ}$ .

В случае  $a_3a_2a_1a_0 = 0000$  аналоговые ключи соединяют резисторы  $R_3, R_2, R_1, R_0$  с землей. В результате этого  $I_{CM} = 0$  и  $U_{\text{ВЫХ}} = 0$ .

**Пример 10.4.** Рассчитайте выходное напряжение 4-разрядного ЦАП с матрицей резисторов  $R$ - $2R$ , схема которого приведена на рис. 10.3, для входных кодов 0000, 0001, 0010, 0100, 1000, если  $R = R_1 = 1 \text{ кОм}$ , а  $U_0 = 8 \text{ В}$ .

**Решение:** В этой схеме напряжения в соседних узлах матрицы отличаются в два раза, что приводит к тому, что токи, протекающие через ключи ЦАП, взвешены по двоичному закону.

В случае  $a_3a_2a_1a_0 = 0000$  аналоговые ключи соединяют резисторы  $2R$  всех разрядов ЦАП с землей. В результате этого ток  $I = 0$  и  $U_{\text{ВЫХ}} = 0$ .

В случае  $a_3a_2a_1a_0 = 0001$  ключ  $K_0$  подключает резистор  $2R$  к входу операционного усилителя ОУ и на его выходе формируется напряжение

$$U_{\text{ВЫХ}} = \frac{U_0}{16} R = 8 \text{ В}/16 = 0,5 \text{ В}.$$

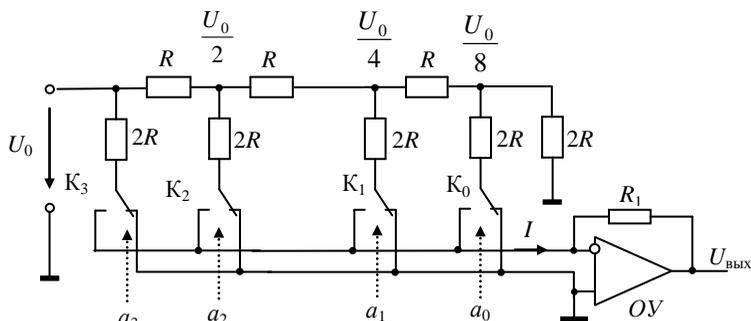


Рис. 10.3. 4-разрядный ЦАП с матрицей резисторов  $R$ - $2R$

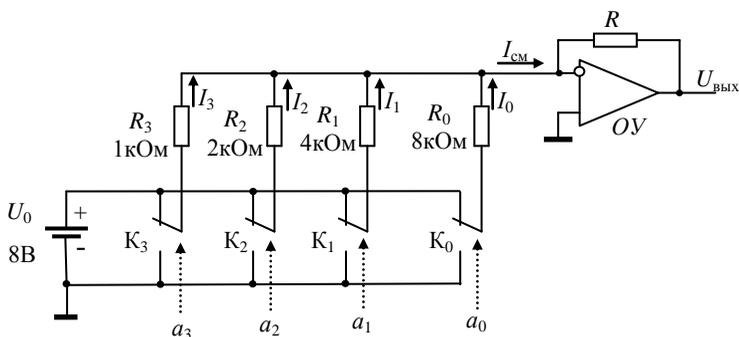


Рис. 10.2. 4-разрядный ЦАП с двоично-взвешенными резисторами

В случае  $a_3a_2a_1a_0 = 0010$  ключ  $K_1$  подключает резистор  $2R$  к входу операционного усилителя ОУ и на его выходе формируется напряжение

$$U_{\text{вых}} = \frac{U_0}{8R} R = 8 \text{ В} / 8 = 1 \text{ В}.$$

Аналогично для кода  $a_3a_2a_1a_0 = 0100$  получим  $U_{\text{вых}} = 2 \text{ В}$  и для кода  $a_3a_2a_1a_0 = 1000$   $U_{\text{вых}} = 4 \text{ В}$ .

## 10.2. Задачи и упражнения

10.1. Определите выходные напряжения двенадцатиразрядного ЦАП, соответствующие старшему разряду входного кода и младшему разряду входного кода, и максимальное выходное напряжение, если  $U_{\text{пш}} = 10\,240 \text{ мВ}$ .

10.2. Нарисуйте характеристику преобразования идеального трехразрядного ЦАП, напряжение полной шкалы которого равно  $10 \text{ В}$ .

10.3. Для 8-разрядного ЦАП определите напряжение ЕМР (напряжение, соответствующее единице младшего разряда входного кода ЦАП) и выходное напряжение, соответствующее входной кодовой комбинации  $x = \text{COH}$ . Входная кодовая комбинация  $x$  задана в шестнадцатеричной системе счисления, ЦАП является идеальным, а его напряжение полной шкалы  $U_{\text{пш}} = 8 \text{ В}$ .

10.4. Рассчитайте погрешность смещения нуля 8-разрядного ЦАП в единицах МЗР и в процентах от полной шкалы, если при нулевом входном коде выходное напряжение ЦАП равно  $0,008 \text{ В}$ , а его напряжение полной шкалы  $U_{\text{пш}} = 8 \text{ В}$ . Предполагается, что других погрешностей ЦАП не имеет.

10.5. Рассчитайте погрешность полной шкалы 8-разрядного ЦАП в единицах МЗР и в процентах от полной шкалы, если выходное напряжение, соответствующее входной кодовой комбинации  $x = \text{FFH}$ , равно  $7,98 \text{ В}$ . Входная кодовая комбинация  $x$  задана в шестнадцатеричной системе счисления, напряжение полной шкалы  $U_{\text{пш}} = 8 \text{ В}$  и предполагается, что других погрешностей ЦАП не имеет.

10.6. (а) Рассчитайте выходное напряжение 4-разрядного ЦАП для входного кода  $1010$ , если напряжение полной шкалы ЦАП равно  $8 \text{ В}$ .

(б) Рассчитайте выходное напряжение 8-разрядного ЦАП для входного кода  $10100000$ , если напряжение полной шкалы ЦАП равно  $8 \text{ В}$ .

(в). Сравните полученные в пунктах (а) и (б) результаты. Какой вывод можно сделать из этого сравнения?

10.7. Определите разрешающую способность ЦАП, схема которого приведена на рис. 10.2. Определите для него напряжение полной шкалы и постройте передаточную характеристику, считая, что ЦАП является идеальным.

10.8. Преобразуйте схему ЦАП, приведенную на рис. 10.2, таким образом, чтобы получить новый ЦАП с увеличенной в 2 раза разрешающей способностью и с прежним напряжением полной шкалы.

10.9. Определите разрешающую способность ЦАП, схема которого приведена на рис. 10.3, если  $R = R_1 = 2 \text{ кОм}$ , а  $U_0 = 4 \text{ В}$ . Определите для него напряжение полной шкалы и постройте передаточную характеристику, считая, что ЦАП является идеальным.

10.10. Преобразуйте схему ЦАП, приведенную на рис. 10.3, таким образом, чтобы получить новый ЦАП с увеличенной в 2 раза разрешающей способностью и с прежним напряжением полной шкалы.

# 11. Аналого-цифровые преобразователи

## 11.1. Краткое содержание

Аналого-цифровое преобразование. Статические и динамические характеристики АЦП. АЦП последовательного счета. АЦП поразрядного уравнивания. Параллельные АЦП. [1], с. 116–123.

1. АЦП являются устройствами, которые принимают входные аналоговые сигналы и генерируют соответствующие им цифровые сигналы, пригодные для обработки цифровыми устройствами.

2. Процедура аналого-цифрового преобразования непрерывных сигналов, реализуемая в АЦП, состоит из двух самостоятельных операций дискретизации и квантования. **Дискретизация** заключается в преобразовании непрерывного во времени и по величине сигнала в сигнал дискретный во времени и непрерывный по величине. **Квантование** состоит в преобразовании непрерывного по величине и дискретного во времени сигнала в цифровой сигнал.

3. Наиболее распространенной разновидностью дискретизации является **равномерная дискретизация**, в основе которой лежит **теорема отсчетов**. Если спектр преобразуемого аналогового сигнала ограничен частотой  $f_m$ , то согласно этой теореме для его точного представления следует определять мгновенные значения сигнала в дискретные моменты времени, отстоящие друг от друга на одинаковые интервалы времени, обычно называемые интервалом дискретизации,  $t_S \leq \frac{1}{2f_m}$ .

4.  $n$ -разрядный АЦП предназначен для получения  $2^n$  кодов в рабочем диапазоне от минимального ( $U_{\min}$ ) до максимального значения ( $U_{\max}$ ) входного аналогового сигнала. Этот диапазон в АЦП делится на  $2^n - 1$  равных (одинаковых) интервалов (квантов), каждый из которых служит для представления целого ряда значений входного аналогового сигнала. Величина кванта, обычно называемого шагом квантования, равна  $h = (U_{\max} - U_{\min})/N$ , где  $N = 2^n - 1$ . Уровни напряжения, соответствующие границам интервалов, принято называть уровнями квантования.

**Операция квантования** сводится к определению того интервала, в который попало мгновенное значение дискретного сигнала, и к присвоению этому значению цифрового кода, соответствующего ближайшему уровню квантования.

*Пример 11.1.* Определите выходной код 3-разрядного АЦП для входных напряжений, представленных в табл. 11.1, если напряжение полной шкалы АЦП  $U_{\text{пш}} = 8$  В, а диапазон преобразуемых напряжений 0–7 В.

**Решение:** Шаг квантования  $h = 8 \text{ В} / 2^3 = 1 \text{ В}$ . Составим таблицу (табл. 11.2), устанавливающую для данного АЦП связь каждого номера интервала квантования с соответствующими им входными напряжениями АЦП и его выходным кодом. В соответствии с табл. 11.2 заполняем табл. 11.3.

Таблица 11.1

Таблица 11.2

Таблица 11.3

Входное напряжение АЦП		Характеристика преобразования			Результат преобразования	
$U_{\text{вх}}, \text{В}$	Вых. код	№ интервала	$U_{\text{вх}}, \text{В}$	Вых. код	$U_{\text{вх}}, \text{В}$	Вых. код
0.125		0	0 – 1	000	0.125	000
1.5		1	1 – 2	001	1.5	001
2.75		2	2 – 3	010	2.75	010
3.15		3	3 – 4	011	3.15	011
4.75		4	4 – 5	100	4.75	100
4.9		5	5 – 6	101	4.9	100
7.1		6	6 – 7	110	7.1	111
7.9		7	7 – 8	111	7.9	111

5. При последовательном возрастании значений входного аналогового сигнала  $U_{\text{вх}}(t)$  от 0 до величины напряжения полной шкалы  $U_{\text{пш}}$  АЦП выходной цифровой сигнал  $N(t)$  образует ступенчатую кусочно-постоянную линию, обычно называемую **характеристикой преобразования**.

**Пример 11.2.** Нарисуйте характеристику преобразования идеального трехразрядного АЦП, если напряжение полной шкалы  $U_{\text{пш}} = 8 \text{ В}$ .

**Решение:** Шаг квантования  $h = 8 \text{ В} / 2^3 = 1 \text{ В}$ . Характеристика преобразования приведена на рис. 11.1.

6. Характеристика преобразования реального АЦП может существенно отличаться от характеристики преобразования идеального АЦП. Для количественного описания этих различий существует целый ряд характеристик.

7. **Основные статические характеристики:** разрешающая способность, погрешность смещения нуля, погрешность полной шкалы, интегральная нелинейность, дифференциальная нелинейность, монотонность характеристики преобразования.

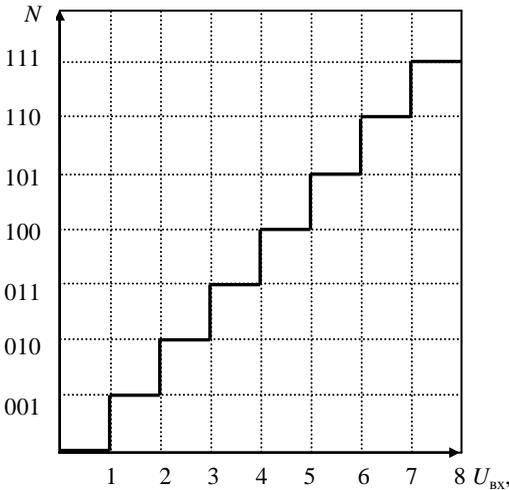


Рис. 11.1. Характеристика преобразования идеального 3-разрядного АЦП

**8. Основные динамические характеристики:** максимальная частота дискретизации, время преобразования, время выборки, апертурная погрешность.

**9.** Погрешность аналого-цифрового преобразования можно разделить на две основные части: погрешность квантования и погрешность, вносимую электронными узлами АЦП.

**Погрешность квантования** является функцией разрядности АЦП. Если бы компоненты АЦП были идеальными, аналого-цифровое преобразование не давало бы погрешности при таких значениях входного напряжения, которые точно равны одному из уровней квантования. Если же уровень входного напряжения находится посередине между двумя уровнями квантования, погрешность квантования составляет  $\pm 1/2 \text{ МР}$ .

**Погрешность, вносимая электронными узлами,** является суммой погрешностей, возникающих в цепях, через которые аналоговый сигнал проходит в процессе преобразования.

**10. Последовательные АЦП** бывают последовательного счета (АЦП с единичными приближениями) и последовательного приближения.

**11. АЦП последовательного счета** (рис. 11.2) содержит компаратор, счетчик, схему управления с ЛЭ ЗИ-НЕ, генератор тактовых импульсов (ГТИ) и ЦАП. На один вход компаратора поступает входной сигнал, а на другой – сигнал обратной связи с ЦАП.

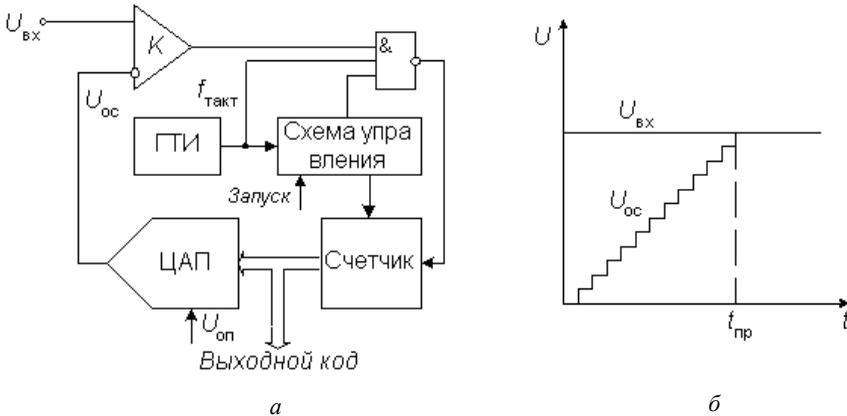


Рис. 11.2. Структурная схема АЦП последовательного счета

Время преобразования  $t_{\text{пр}}$  АЦП этого типа является переменным и определяется входным напряжением. Его максимальное значение соответствует максимальному входному напряжению и при разрядности двоичного счетчика  $n$  и частоте тактовых импульсов  $t_{\text{пр, макс}} = (2n - 1)/f_{\text{ГТИ}}$ .

**12. АЦП с поразрядным уравниванием** является наиболее распространенным вариантом последовательных АЦП.  $n$ -разрядный АЦП последовательного приближения выполняет преобразование за  $n$  последовательных шагов (итераций) вместо  $2^n - 1$  при использовании АЦП последовательного счета. В то же время статическая погрешность этого типа преобразователей, определяемая в основном используемым в нем ЦАП, может быть очень малой, что позволяет реализовать разрешающую способность до 18 двоичных разрядов при частоте выборок до 200 кГц.

**13. Параллельные АЦП** осуществляют преобразование сигнала одновременно с помощью набора компараторов. Благодаря одновременной работе компараторов, параллельный АЦП является самым быстрым. Недостатком этой схемы является большая сложность. Действительно,  $n$ -разрядный параллельный АЦП содержит  $2^n - 1$  компараторов и  $2^n$  согласованных резисторов. Следствием этого является высокая стоимость и значительная потребляемая мощность.

## 11.2. Задачи и упражнения

11.1. Определите выходные коды идеального десятиразрядного АЦП, соответствующие входным напряжениям 3 В, 5 В и 7 В, если напряжение полной шкалы АЦП  $U_{\text{пш}} = 10,24$  В.

11.2. Нарисуйте характеристику преобразования идеального трехразрядного АЦП, если напряжение полной шкалы  $U_{\text{пш}} = 4$  В.

11.3. Нарисуйте характеристику преобразования идеального четырехразрядного АЦП, если напряжение полной шкалы  $U_{\text{пш}} = 4$  В.

11.4. Кратко объясните работу параллельного АЦП, схема которого приведена на рис. 11.3.

11.5. Нарисуйте характеристику преобразования идеального параллельного АЦП, схема которого приведена на рис. 11.3, если  $R = 1$  кОм, а  $U_{\text{оп}} = 7$  В.

11.6. Как много компараторов требуется для построения восьмиразрядного параллельного АЦП? Определите шаг квантования такого идеального АЦП, если опорное напряжение  $U_{\text{оп}} = 10,2$  В.

11.7. АЦП делит весь диапазон входного преобразуемого сигнала на 64 равных кванта. Определите разрядность этого АЦП. Определите разрешающую способность АЦП, если он рассчитан на изменение преобразуемого напряжения от 0 до 500 мВ.

11.8. Кратко объясните работу АЦП последовательного счета (АЦП с единичными приближениями), схема которого приведена на рис. 11.2. Определите максимальное время преобразование этого АЦП, если ЦАП является десятиразрядным, а частота тактовых импульсов  $f_{\text{такт}} = 10$  МГц.

11.9. Кратко объясните работу АЦП последовательного приближения, схема которого приведена на рис. 11.4. Определите время преобразования этого АЦП, если ЦАП является десятиразрядным, а частота тактовых импульсов  $f_{\text{такт}} = 10$  МГц.

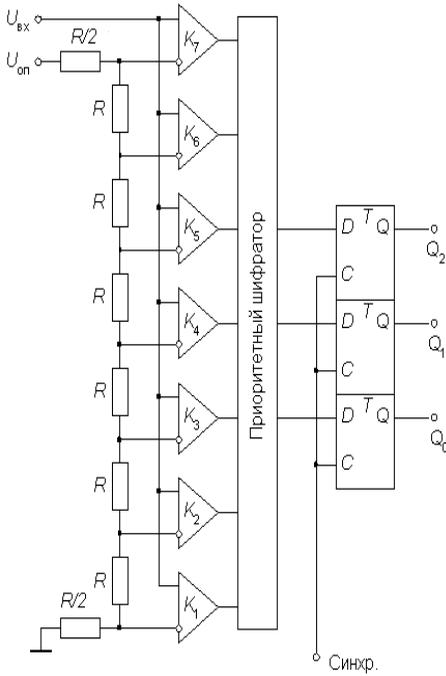


Рис. 11.3. Схема параллельного АЦП

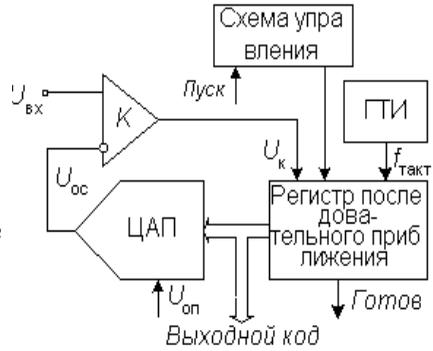


Рис. 11.4. Структурная схема АЦП последовательного приближения

## **12. Лабораторная работа**

### **Комбинационные и последовательностные схемы**

Используемые модули:

№ 12, 13, 14, 17, 18

*Цель работы:* изучить простейшие комбинационные и последовательностные цифровые схемы.

#### **12.1. Сведения из теории**

Комбинационные схемы рассмотрены в учебном пособии [1], с. 43–57, триггеры – в учебном пособии [1], с. 58–71, регистры и счетчики – в учебном пособии [1], с. 72–82.

#### **12.2. Задания и методические рекомендации**

Для получения таблиц истинности логических элементов или комбинационных схем (КС) необходимо для всех возможных комбинаций значений входных сигналов определить значения (уровни напряжения) сигналов на выходах этих логических элементов или комбинационных схем.

Для задания комбинаций значений входных сигналов можно использовать либо формирователи логических уровней (модуль № 12), либо генератор кодовых комбинаций (модуль № 13). В первом случае для контроля входных и выходных сигналов можно использовать светодиодные индикаторы, во втором случае этот контроль осуществляется по осциллограммам входных и выходных сигналов.

##### ***12.2.1. Изучение формирователей логических уровней (модуль № 12)***

1. Подключите к выходу одного из формирователей осциллограф или вольтметр постоянного тока.

2. Нажимая кнопку формирователя логических уровней, измерьте величины напряжений, соответствующие уровням логической единицы и логического нуля. Убедитесь в том, что они соответствуют уровням, принятым в интегральных схемах ТТЛ. Обратите внимание на то, что свечение светодиодного индикатора на выходе формирователя соответствует наличию логической единицы, а отсутствие – логического нуля.

##### ***12.2.2. Изучение генератора кодовых комбинаций (модуль № 13)***

1. Подключите к входу генератора кодовых комбинаций выход одного из формирователей логических уровней. Нажимая кнопку формирователя логических уровней, убедитесь в том, что состояния выходов генера-

тора кодовых комбинаций, контролируемые светодиодными индикаторами, изменяются в соответствии с числом нажатий кнопки формирователя.

2. Подключите к входу генератора кодовых комбинаций выход генератора тактовых импульсов ГТИ1 (частота следования импульсов порядка 1 Гц) и наблюдайте за изменением состояний выходов генератора кодовых комбинаций.

3. Подключите к входу генератора кодовых комбинаций выход генератора тактовых импульсов ГТИ2 (частота следования импульсов порядка 8 кГц). Объясните причину свечения всех светодиодных индикаторов на выходах генератора кодовых комбинаций.

4. Получите на экране осциллографа и зарисуйте одну под другой осциллограммы выходных сигналов  $x_3, \dots, x_0$  генератора кодовых комбинаций. Для этого:

– установите переключатель для выбора автоколебательного или ждущего режима развертки осциллографа в положение АВТ, переключатель для включения и выключения каналов А и Б в положение, обеспечивающее двуканальный режим работы, переключатель «А СЕТЬ ВНЕШН Б» в положение, обеспечивающее синхронизацию развертки осциллографа сигналом канала А;

– подайте на вход канала А осциллографа выходной сигнал  $x_3$  генератора кодовых комбинаций и, плавно вращая ручку «УРОВЕНЬ», получите на экране устойчивое изображение этого сигнала;

– переключателем ВРЕМЯ/ДЕЛ канала А установите такой коэффициент развертки, при котором на экране наблюдается 1–2 периода наблюдаемого сигнала;

– подайте на вход канала Б осциллографа выходной сигнал  $x_2$  генератора кодовых комбинаций и зарисуйте осциллограммы сигналов  $x_3$  и  $x_2$ ;

– подайте на вход канала Б осциллографа вместо сигнала  $x_2$  сигнал  $x_1$  генератора кодовых комбинаций и зарисуйте его осциллограмму;

– подайте на вход канала Б осциллографа вместо сигнала  $x_1$  сигнал  $x_0$  генератора кодовых комбинаций и зарисуйте его осциллограмму.

### ***12.2.3. Изучение логических элементов НЕ, 2И-НЕ и «ИСКЛЮЧАЮЩЕЕ ИЛИ» (модуль № 14)***

1. Получите таблицы истинности логических элементов НЕ, 2И-НЕ, «Исключающее ИЛИ», используя формирователи логических уровней (модуль № 12).

2. Подайте на входы этих элементов сигналы с соседних выходов генератора кодовых комбинаций, зарисуйте осциллограммы входных и выходных сигналов и получите по ним таблицы истинности.

### 12.2.4. Изучение асинхронного RS-триггера

1. Соберите асинхронный RS-триггер на элементах 2И-НЕ (модуль № 17), схема и условное обозначение которого приведены на рис. 12.1.

2. Подавая на входы триггера различные комбинации входных сигналов с выходов формирователей логических уровней (модуль № 12) и контролируя состояние триггера по светодиодным индикаторам, проверьте таблицу переключений триггера (табл. 12.1).

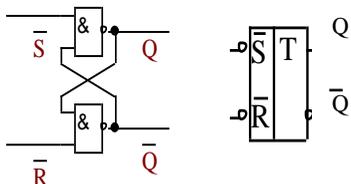


Рис. 12.1. Структурная схема и условное обозначение асинхронного RS-триггера с инверсными входами

Таблица 12.1

Таблица переключения RS-триггера с инверсными входами

$Q^{n-1}$	$\bar{S}^n$	$\bar{R}^n$	$Q^n$	$\bar{Q}^n$	Примечание
0	0	0	1	1	Неопределенное состояние
0	0	1	1	0	Запись «1»
0	1	0	0	1	Запись «0»
0	1	1	0	1	Хранение «0»
1	0	0	1	1	Неопределенное состояние
1	0	1	1	0	Запись «1»
1	1	0	0	1	Запись «0»
1	1	1	1	0	Хранение «1»

### 12.2.5. Изучение последовательно-параллельного регистра

1. Соберите на базе D-триггеров (модуль № 18) 4-х разрядный последовательно-параллельный регистр (рис. 12.2). Вход установки регистра в нулевое состояние  $\bar{R}$ , вход установки регистра в единичное состояние  $\bar{S}$ , информационный вход  $D$  подключите к выходам формирователей логических уровней (для каждого входа – свой формирователь), а вход  $C$  – к выходу генератора одиночных импульсов ГОИ2.

2. Убедитесь в том, что комбинация сигналов  $\bar{R} = 0$ ,  $\bar{S} = 1$  обеспечивает установку всех триггеров регистра в нулевое состояние, комбинация сигналов  $\bar{R} = 1$ ,  $\bar{S} = 0$  обеспечивает установку всех триггеров регистра в единичное состояние.

3. Установите все триггеры регистра в нулевое состояние, затем установите  $\bar{R} = \bar{S} = 1$  и подайте на информационный вход  $D$  регистра уровень логической единицы.

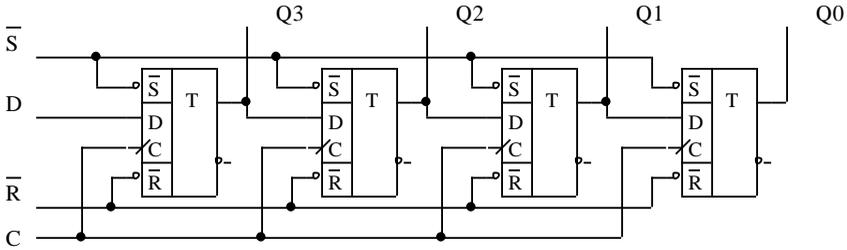


Рис. 12.2. Структурная схема последовательно-параллельного регистра

4. С помощью генератора ГОИ2 сформируйте на входе  $C$  одиночный импульс и убедитесь, что логическая единица, присутствующая на информационном входе  $D$  регистра, загрузится в первый разряд, а все остальные разряды регистра останутся в нулевом состоянии.

5. Измените сигнал на входе  $D$  регистра, установив на выходе соединенного с ним формирователя логический ноль. Подав с генератора ГОИ2 второй импульс на вход  $C$ , убедитесь в том, что логический ноль, присутствующий на входе  $D$  регистра, записался в его первый разряд, в то время как во второй разряд регистра записалась единица из его первого разряда.

6. Изменяя или оставляя неизменным сигнал на информационном входе  $D$  регистра и подавая очередные импульсы на вход  $C$ , убедитесь, что входная информация последовательно, разряд за разрядом записывается в регистр.

### 12.2.6. Изучение асинхронного двоичного суммирующего счетчика

1. На базе  $D$ -триггеров (два модуля № 18) соберите в соответствии с рис. 12.3 асинхронный суммирующий счетчик с модулем счета 16.

2. Соедините выход генератора одиночных импульсов ГОИ1, на котором формируется отрицательный импульс, со входом установки тригг-

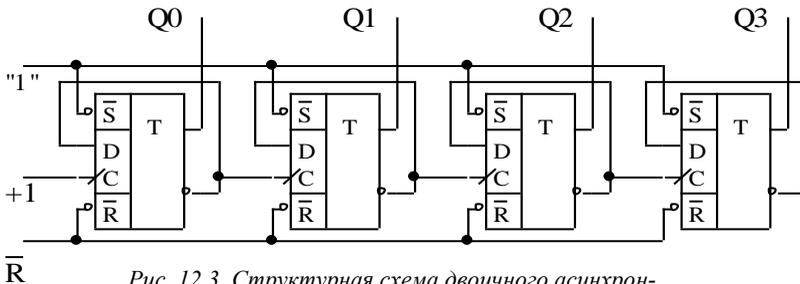


Рис. 12.3. Структурная схема двоичного асинхронного суммирующего счетчика

геров счетчика в нулевое состояние и установите все триггеры счетчика в исходное (нулевое) состояние.

3. Подавая на счетный вход счетчика импульсы с выхода генератора одиночных импульсов ГОИ2, составьте таблицу переключений счетчика, указав в ней порядковые номера счетных импульсов (импульсов, поступивших на счетный вход) и состояния, которые принимают после их воздействия все разряды счетчика ( $Q_3, Q_2, Q_1, Q_0$ ).

### 12.2.7. Изучение асинхронного двоичного вычитающего счетчика

1. На базе  $D$ -триггеров (два модуля № 18) соберите в соответствии с рис. 12.4 асинхронный вычитающий счетчик с модулем счета 16.

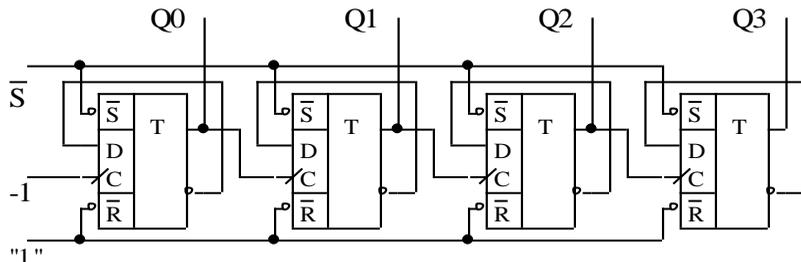


Рис. 12.4. Структурная схема двоичного асинхронного вычитающего счетчика

2. Соедините выход генератора одиночных импульсов ГОИ1, на котором формируется отрицательный импульс, со входом установки триггеров счетчика в единичное состояние и установите все триггеры счетчика в исходное (единичное) состояние.

3. Подавая на счетный вход счетчика импульсы с выхода генератора одиночных импульсов ГОИ2, составьте таблицу переключений счетчика, указав в ней порядковые номера счетных импульсов (импульсов, поступивших на счетный вход) и состояния, которые принимают после их воздействия все разряды счетчика ( $Q_3, Q_2, Q_1, Q_0$ ).

## 12.3. Отчет

В отчет необходимо включить результаты измерений, условные графические обозначения всех изученных ЛЭ, структурные схемы комбинационных и последовательностных схем и, в случае необходимости, таблицы истинности, таблицы переключений и осциллограммы входных и выходных сигналов.

### 12.4. Контрольные вопросы и задания для самопроверки

1. Какие уровни напряжения приняты за логические 0 и 1 в интегральных схемах серии К155 (ТТЛ)?

2. Как контролировать цифровые сигналы?
3. Есть ли связь, и если есть, то какая, между таблицей истинности и осциллограммами входных и выходных сигналов исследуемого ЛЭ?
4. Перечислите известные вам функционально полные наборы логических элементов.
5. Объясните, каким образом можно получить таблицу истинности неизвестного логического элемента в лаборатории.
6. Запишите структурную формулу для логического элемента 4И-НЕ.
7. Перечислите основные типы дешифраторов.
8. Почему мультиплексоры называют селекторами данных «1 из n»?
9. Покажите, как с помощью вентилях построить мультиплексор на 4 входа.
10. Напишите структурные формулы, характеризующие работу сдвоенного мультиплексора К153КП2.
11. Нарисуйте структурную схему 4-разрядного сдвигающего влево регистра на JK-триггерах.
12. Какое двоичное число вы увидите на выходе 4-разрядного двоичного счетчика после подачи на его счетный вход 12 импульсов?

### 13. Контрольная работа

Целью контрольной работы является проверка усвоения студентами материала по дисциплине «Автоматизация эксперимента». Перед выполнением контрольной работы следует изучить соответствующие разделы курса по рекомендуемой литературе и решить необходимое количество задач.

Контрольная работа состоит из двух задач. Свой вариант студент определяет по последним двум цифрам номера зачетной книжки.

Контрольная работа выполняется в обычной ученической тетради, на обложке которой необходимо указать наименование вуза, факультета, группы, дисциплины, фамилию и инициалы студента, номер его зачетной книжки. Она должна быть аккуратно оформлена, разборчиво написана на одной стороне каждого листа, т. е. на правой странице развернутой тетради. Левая страница должна быть оставлена чистой. Эта страница предназначена для внесения студентом исправлений и дополнений по результатам рецензии, что облегчает работу над ошибками самим студентам и рецензенту при повторном рецензировании. Страницы нумеруются. Оставляются поля шириной 3 см. Допускается оформлять контрольную работу с использованием ПК. В этом случае распечатка выполняется на листах бумаги формата А4 в портретной ориентации с учетом перечисленных требований.

Все таблицы и схемы должны быть пронумерованы и подписаны.

При решении каждой задачи необходимо привести условие задачи, таблицу истинности, структурные формулы, начертить заданные схемы. В ходе решения необходимо дать пояснения и привести все используемые формулы.

Работа должна быть подписана с указанием даты.

## Задача 1

Составить таблицу истинности булевой функции четырех переменных, записать структурную формулу в совершенной дизъюнктивной нормальной форме и нарисовать структурную схему КС, реализующей эту булеву функцию в базисе И, ИЛИ, НЕ.

Используя метод тождественных преобразований и табличный метод, основанный на применении карт Карно, минимизировать полученную в СДНФ структурную формулу. Построить минимизированную КС в базисе И, ИЛИ, НЕ и в базисе И-НЕ.

### Исходные данные к задаче 1

№ варианта	Номера единичных наборов
1	0, 1, 7, 8, 9, 10, 11
2	0, 2, 3, 7,8, 10,12,14
3	0, 1, 5, 8, 9,10, 13,14
4	0, 2, 3, 6, 8, 10, 11, 15
5	0, 2, 3, 5, 7, 8,10,
6	0, 2, 6, 7, 8, 9, 11
7	0, 2, 4, 5, 8, 11, 12, 13
8	0, 1, 6, 7, 8, 12, 14
9	0, 2, 4, 6, 7, 8, 9,13
10	0, 4, 5, 7, 12, 13
11	1, 3, 5, 9, 10, 11
12	1, 2, 4, 6, 7, 9, 11, 13
13	1, 4, 5, 6, 9, 11, 15
14	1, 2, 4, 5, 9, 10, 11
15	1, 5, 8, 10, 11, 15
16	1, 2, 3, 4, 8, 13
17	1, 2, 3, 5, 14, 15
18	1, 2, 3, 4, 10, 13, 15
19	1,2, 3, 6, 12, 15
20	1, 2, 3, 6, 13, 15
21	1, 2, 3, 7, 13, 15
22	1, 2, 3, 5, 8, 9, 14, 15
23	1, 2, 3, 5, 12, 13, 15
24	1, 2, 4, 5, 8, 10, 12, 14
25	1, 2, 6, 9, 13, 15
26	1, 3, 6, 7, 10, 14
27	1, 3, 6, 8, 9, 10, 13
28	1, 3, 7, 8, 9, 12, 13
29	1, 4, 5, 9, 11, 13, 15
30	1, 3, 8, 9, 10, 12, 14, 15

## Задача 2

Составить таблицу истинности не полностью определенной булевой функции четырех переменных, записать структурную формулу в совершенной дизъюнктивной нормальной форме и нарисовать структурную схему КС, реализующей эту булеву функцию в базисе И, ИЛИ, НЕ.

Используя табличный метод, основанный на применении карт Карно, минимизировать полученную в СДНФ структурную формулу. Построить минимизированную КС в базисе И, ИЛИ, НЕ и в базисе ИЛИ-НЕ.

### Исходные данные к задаче 2

Номер варианта	Номера единичных наборов	Номера неопределенных наборов
1	1, 4, 6, 7, 12, 14, 15	0, 2, 8, 13
2	1, 4, 6, 8, 9, 12, 13	0, 3, 5, 7
3	1, 4, 7, 9, 10, 12, 14	0, 2, 6, 8, 13
4	1, 5, 6, 9, 12, 13, 15	2, 3, 7, 11, 14
5	1, 5, 7, 8, 10, 13, 14	3, 4, 9, 12
6	1, 5, 7, 9, 10, 11, 14	3, 6, 8, 13
7	1, 6, 7, 9, 11, 13, 15	3, 5, 12, 14
8	1, 6, 8, 9, 12, 14, 15	4, 5, 11, 13
9	1, 6, 9, 10, 13, 14	3, 4, 7, 12
10	2, 3, 5, 8, 10, 13	0, 9, 14, 15
11	2, 4, 6, 9, 10, 12, 15	0, 4, 8, 11, 14
12	2, 3, 4, 8, 11, 15	0, 6, 7, 9, 10
13	2, 3, 5, 9, 10, 14	1, 4, 8, 10
14	2, 4, 5, 8, 11, 13	1, 6, 7, 12
15	2, 6, 7, 9, 11, 14	3, 4, 8, 12
16	2, 4, 7, 9, 10, 12	0, 1, 5, 11, 13
17	2, 8, 9, 11, 13, 14	3, 4, 6, 10
18	2, 8, 10, 11, 13, 15	0, 4, 5, 7, 12
19	2, 7, 8, 11, 13, 14	0, 5, 6, 12
20	3, 4, 7, 8, 10, 12	1, 2, 9, 11
21	3, 4, 6, 8, 11, 12	0, 2, 5, 10
22	3, 5, 6, 10, 12, 14	1, 2, 7, 8
23	3, 5, 7, 8, 10, 13	0, 2, 12, 14
24	3, 5, 7, 9, 10, 12	0, 4, 6, 13
25	3, 5, 8, 9, 11, 14	2, 4, 6, 10
26	3, 5, 8, 9, 10, 13	0, 1, 12, 15
27	3, 6, 8, 9, 11, 14	2, 4, 13, 15
28	3, 7, 8, 10, 12, 15	0, 2, 6, 14
29	4, 5, 7, 8, 10, 14	1, 2, 12, 14
30	4, 5, 8, 9, 12, 13	3, 6, 10, 15

## Ответы

**2.1.** 101011011, 1100010001, 101001011001, 100110001, 10010010001101, 1000111010.

**2.2.** 15B, 103741, A59, 131, 248D, 15.

**2.3.** 0,011; 0,1101; 0,10011; 0,1111; 0,10001; 0,01000001.

**2.4.** 2, 122, 5, 761, 23, 922.

**2.5.** 399, 597, 58454, 4659, 1000, 11259375.

**2.6.** 2, 5, 172, 1632, 74, 25.

**2.7.** 2, 7A, 5, 2F9, 17, 39A.

**2.8.** 11100111, 11100111010101, 111110110011000101, 11010, 10101111.

**2.9.** 1110010001010110, 1010110111110101111000, 1001000110011, 10110001011110011010110, 1011111, 11010101111001.

**2.10.** 100101, 100010101, 110111, 11010001001, 1000101, 10010100.

**2.11.** 372, 945, 486, 678, 359, 568.

**2.12.** 101000, 101011, 11101, 100011, 1001011, 101001.

**2.13.** 1110, 1111, 111, 1111, 10111, 1.

**2.14.** 1.1010000, 1.0101010, 0.0110001, 0.0011110, 1.0010100, 1.0100100.

**2.15.** 1.1100101, 1.0111111, 0.1000101, 0.0100101, 1.0001011, 1.0011101.

**2.16.** 0.0101100, 1.0000101, 1.0110000, 0.0111110, 1.1011000.

**2.17.** 1.0101101, 0.0000101, 0.0110000, 1.0111110, 0.1011000.

**2.18.** (a) – 8, 10, 16; (б) – 8, 10, 16; (в) – 5; (г) – 8, (д) – 6.

**2.19.** Двоичное представление в коде ASCII символов

«a» = 1100001<sub>2</sub>, «b» = 1100010<sub>2</sub>.

Восьмеричное представление в коде ASCII символов

«a» = 141<sub>8</sub>, «b» = 142<sub>8</sub>.

Двоичное представление в коде ASCII символов

«ab» = 11000011100010<sub>2</sub>.

Шестнадцатеричное представление в коде ASCII символов

«ab» = 30E2<sub>16</sub>.

Двоичное представление в коде ASCII символов

«ba» = 11000101100001<sub>2</sub>.

Шестнадцатеричное представление в коде ASCII символов

«ba» = 3161<sub>16</sub>.

**2.20.** 11E29.

**2.21.** 27.84375.

**2.22.** 1110001001001100.011.

**2.23.** 190, 191, 192, 193, 194, 195, 196, 197, 198, 199, 19A, 19B, 19C, 19D, 19E, 19F, 1A0.

**2.24.** 11A91F2, 18518514.

**3.1, a.**

$$y = \bar{x}_1 \cdot \bar{x}_0$$

$x_1$	$x_0$	$y$
0	0	1
0	1	0
1	0	0
1	1	0

**3.1, b.**

$$y = x_1 + x_0$$

$x_1$	$x_0$	$y$
0	0	1
0	1	0
1	0	0
1	1	0

**3.2, a.**

$$y = \bar{x}_2 \cdot \bar{x}_1 \cdot \bar{x}_0$$

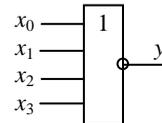
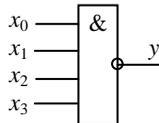
$x_2$	$x_1$	$x_0$	$y$
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

**3.2, b.**

$$y = x_2 \cdot x_1 \cdot x_0$$

$x_2$	$x_1$	$x_0$	$y$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

**3.3.**



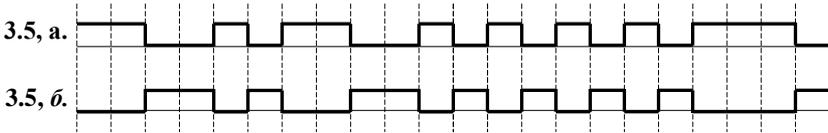
**3.4.**

$x_3$	$x_2$	$x_1$	$x_0$	$y$
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	1	0

$$y = x_3 \cdot x_2 \cdot x_1 \cdot x_0$$

$x_3$	$x_2$	$x_1$	$x_0$	$y$
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	1	1

$$y = x_3 + x_2 + x_1 + x_0$$



3.6. Из таблицы истинности (табл. 3.3) булевой функции  $y = x_1 \oplus x_0$  следует

$$y = \bar{x}_1 x_0 + x_1 \bar{x}_0.$$

3.7.  $y = \overline{x_1 \bar{x}_0} \cdot \overline{\bar{x}_1 x_0}.$

3.8.  $y = x_1 + \bar{x}_0 + \bar{x}_1 + x_0.$

3.9.  $y = \bar{x}_3 \bar{x}_2 \bar{x}_1 x_0 + \bar{x}_3 \bar{x}_2 x_1 \bar{x}_0 + \bar{x}_3 x_2 \bar{x}_1 \bar{x}_0 + \bar{x}_3 x_2 x_1 x_0 + x_3 \bar{x}_2 \bar{x}_1 x_0 + x_3 \bar{x}_2 x_1 \bar{x}_0 + x_3 x_2 \bar{x}_1 \bar{x}_0 + x_3 x_2 x_1 x_0.$

3.10.  $y = \bar{x}_3 \bar{x}_2 \bar{x}_1 \bar{x}_0 + \bar{x}_3 \bar{x}_2 x_1 \bar{x}_0 + \bar{x}_3 x_2 \bar{x}_1 \bar{x}_0 + \bar{x}_3 x_2 x_1 x_0 + x_3 \bar{x}_2 \bar{x}_1 x_0 + x_3 \bar{x}_2 x_1 \bar{x}_0 + x_3 x_2 \bar{x}_1 x_0 + x_3 x_2 x_1 x_0.$

3.11, а, з, д.

$x_2$	$x_1$	$x_0$	$y_1$	$y_4$	$y_5$
0	0	0	1	1	1
0	0	1	1	0	0
0	1	0	1	0	0
0	1	1	0	0	1
1	0	0	0	0	0
1	0	1	0	1	0
1	1	0	0	0	0
1	1	1	0	1	1

3.11, б, в.

$x_3$	$x_2$	$x_1$	$x_0$	$y_2$	$y_3$
0	0	0	0	1	1
0	0	0	1	1	1
0	0	1	0	0	0
0	0	1	1	1	1
0	1	0	0	1	0
0	1	0	1	1	0
0	1	1	0	1	0
0	1	1	1	1	0
1	0	0	0	1	1
1	0	0	1	1	1
1	0	1	0	0	1
1	0	1	1	1	1
1	1	0	0	1	1
1	1	0	1	0	1
1	1	1	0	0	1
1	1	1	1	0	1

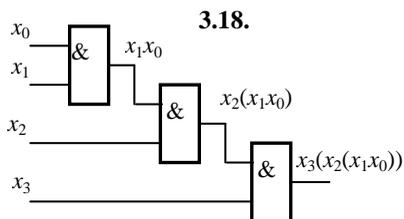
3.12.  $y_1 = 0, y_2 = x_1 x_0 + x_4 x_3 \bar{x}_2.$

3.13.  $y_1 = \bar{x}_2 \bar{x}_1 \bar{x}_0 + x_3 \bar{x}_2 x_0 + x_2 \bar{x}_1 \bar{x}_0, y_2 = x_3 \bar{x}_2 + x_3 \bar{x}_1 x_0 + \bar{x}_2 x_1 \bar{x}_0, y_3 = x_3 \bar{x}_2 \bar{x}_0 + \bar{x}_2 x_1 \bar{x}_0 + x_3 x_2 x_0 + x_3 x_1 x_0, y_4 = x_3 x_0 + x_1 x_0, y_5 = x_2 \bar{x}_1 \bar{x}_0 + \bar{x}_3 x_1 x_0 + x_3 \bar{x}_1 \bar{x}_0 + x_3 \bar{x}_2 \bar{x}_0, y_6 = \bar{x}_2 x_1 x_0 + x_3 \bar{x}_1 \bar{x}_0 + \bar{x}_3 x_2 \bar{x}_0.$

3.14.  $y_1 = \bar{x}_3 + \bar{x}_2 + \bar{x}_1 + \bar{x}_0, y_2 = \overline{\bar{x}_1 + \bar{x}_0 + \bar{x}_4 + \bar{x}_3 + x_2}.$

3.15.  $(x + \bar{y})y = xy + \bar{y}y = xy + 0 = xy.$

**3.16.**  $(x + y)(\bar{x} + z) = x\bar{x} + \bar{x}y + xz + yz = \bar{x}y(z + \bar{z}) + xz(y + \bar{y}) + yz(x + \bar{x}) = \bar{x}y(z + \bar{z}) + \bar{x}y\bar{z} + \bar{x}y z + xz(y + \bar{y}) + xz\bar{y} + xz y = \bar{x}y\bar{z} + \bar{x}y z + xz\bar{y} + xz y = \bar{x}y\bar{z} + \bar{x}y z + xz\bar{y} + xz y = \bar{x}y(z + \bar{z}) + xz(y + \bar{y}) = \bar{x}y + xz$ .



**3.20.** Да.

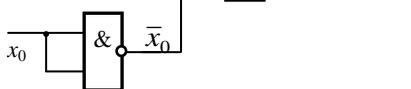
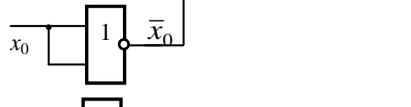
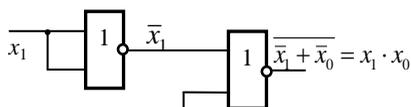
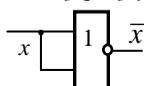
**3.21.**

		$x_1x_0$			
		00	01	11	10
$x_3x_2$	00	1	0	1	0
	01	1	0	0	0
	11	1	1	1	1
	10	0	0	1	0

$$y = x_3x_2 + \bar{x}_3\bar{x}_1\bar{x}_0 + \bar{x}_2x_1x_0,$$

$$y = \overline{\bar{x}_3\bar{x}_2 \cdot x_3x_1x_0 \cdot \bar{x}_2\bar{x}_1\bar{x}_0}.$$

**5.1.**



**3.17.** Для  $(n+1)$ -входового ЛЭ И  $y = x_n x_{n-1} x_{n-2} \dots x_1 x_0$ . При объединении двух входов, например  $x_n$  и  $x_{n-1}$ , получим  $x_n = x_{n-1}$ . Тогда

$y = x_{n-1} x_{n-1} x_{n-2} \dots x_1 x_0 = x_{n-1} x_{n-2} \dots x_1 x_0$ , что справедливо для  $n$ -входового ЛЭ И.

**3.19.** Да.

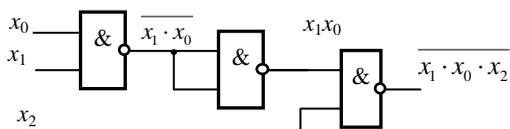
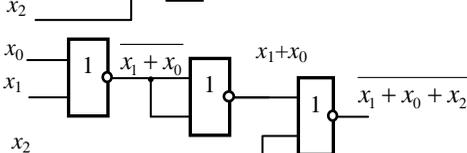
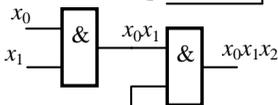
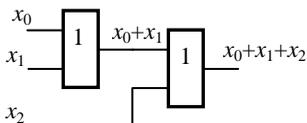
**3.22.**

		$x_1x_0$			
		00	01	11	10
$x_3x_2$	00	1	0	1	Φ
	01	1	0	Φ	1
	11	1	1	Φ	0
	10	0	0	Φ	0

$$y = x_1x_0 + \bar{x}_3\bar{x}_0 + x_3x_2\bar{x}_1,$$

$$y = \overline{\bar{x}_1\bar{x}_0 \cdot \bar{x}_3\bar{x}_0 \cdot \bar{x}_3x_2x_1}.$$

**5.2.**

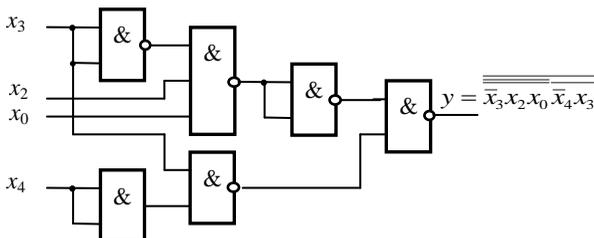


5.3.

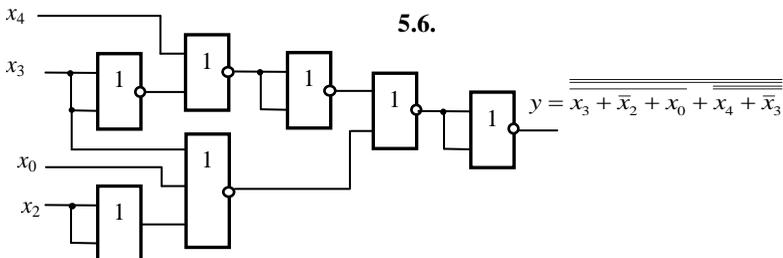
$x_2$	$x_1$	$x_0$	$\bar{x}_1 \cdot \bar{x}_0$	$x_2 + x_1$	$\bar{x}_1 \cdot \bar{x}_0 (x_2 + x_1)$
0	0	0	1	0	1
0	0	1	0	0	1
0	1	0	0	1	1
0	1	1	0	1	1
1	0	0	1	1	0
1	0	1	0	1	1
1	1	0	0	1	1
1	1	1	0	1	1

5.4.  $y_1 = \bar{x}_3 \bar{x}_2 + \bar{x}_2 \bar{x}_1$ ,  $y_2 = \bar{x}_3 \bar{x}_2 \bar{x}_1$

5.5.



5.6.



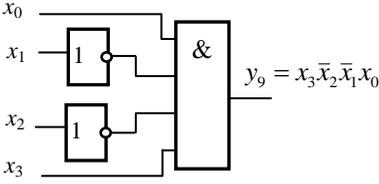
5.7.

Слагаемые		Перенос $CR_{i-1}$	Сумма $SM_i$	Перенос $CR_i$
$a_i$	$b_i$			
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

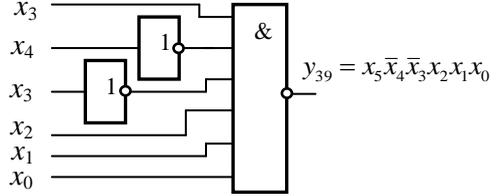
5.8.  $SM_i = a_i b_i CR_{i-1} + a_i \bar{b}_i \bar{C}R_{i-1} + \bar{a}_i \bar{b}_i CR_{i-1} + \bar{a}_i b_i \bar{C}R_{i-1}$ ,

$CR_i = a_i b_i CR_{i-1} + a_i b_i \bar{C}R_{i-1} + \bar{a}_i \bar{b}_i CR_{i-1} + \bar{a}_i b_i \bar{C}R_{i-1}$ .

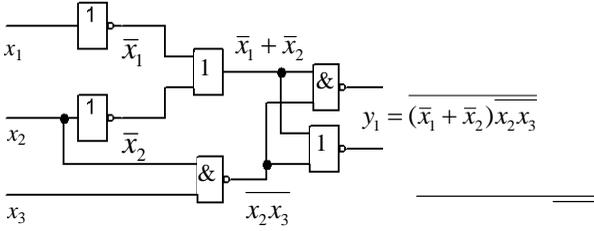
5.9.



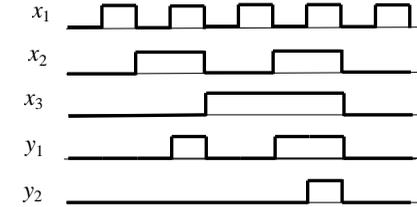
5.10.



5.11.



$x_3$	$x_2$	$x_1$	$y_1$	$y_2$
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	1	0
1	0	0	0	0
1	0	1	0	0
1	1	0	1	0
1	1	1	1	1

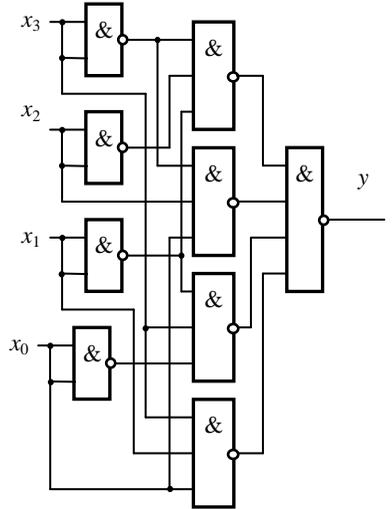


5.12.

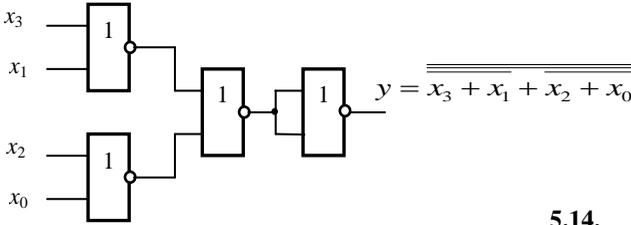
$$y = \bar{x}_3\bar{x}_2\bar{x}_1\bar{x}_0 + \bar{x}_3\bar{x}_2\bar{x}_1x_0 + \bar{x}_3x_2\bar{x}_1x_0 + \bar{x}_3x_2x_1x_0 + x_3\bar{x}_2\bar{x}_1\bar{x}_0 + x_3\bar{x}_2x_1x_0 + x_3x_2\bar{x}_1\bar{x}_0 + x_3x_2x_1x_0$$

$x_3x_2$ \ $x_1x_0$	00	01	11	10
00	1	1	0	1
01	0	1	1	0
11	1	0	1	0
10	1	0	1	0

$$y = \bar{x}_3\bar{x}_2\bar{x}_1 \cdot \bar{x}_3x_2x_0 + x_3\bar{x}_1\bar{x}_0 \cdot x_3x_1x_0$$

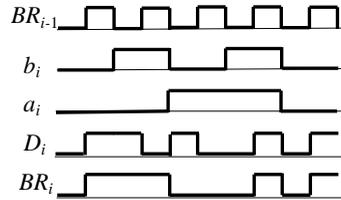
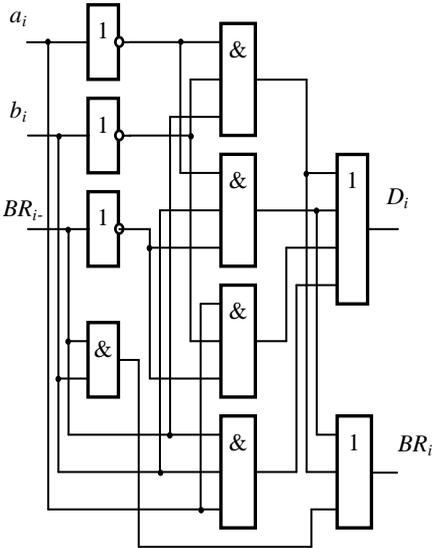


5.13.



5.14.

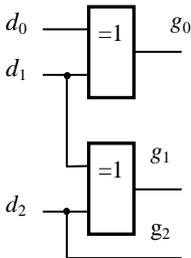
Уменьшаемое $a_i$	Вычитаемое $b_i$	Заем $BR_{i-1}$	Разность $D_i$	Заем $BR_i$
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1



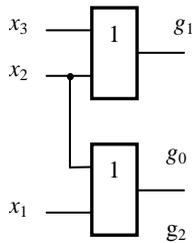
$$D = \bar{a}_i \bar{b}_i BR_{i-1} + \bar{a}_i b_i \overline{BR_{i-1}} + a_i \bar{b}_i \overline{BR_{i-1}} + a_i b_i BR_{i-1},$$

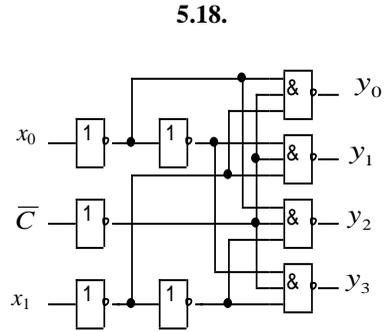
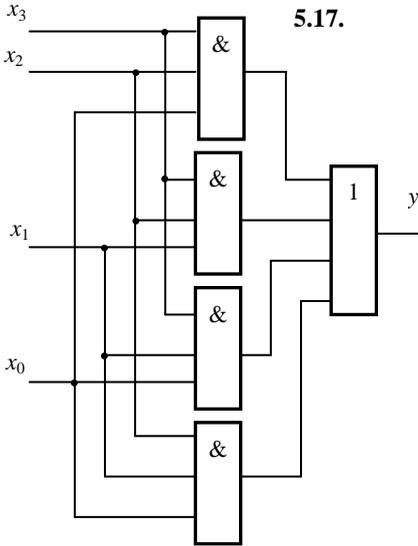
$$BR_{i-1} = \bar{a}_i \bar{b}_i BR_{i-1} + \bar{a}_i b_i \overline{BR_{i-1}} + b_i BR_{i-1}.$$

5.15.

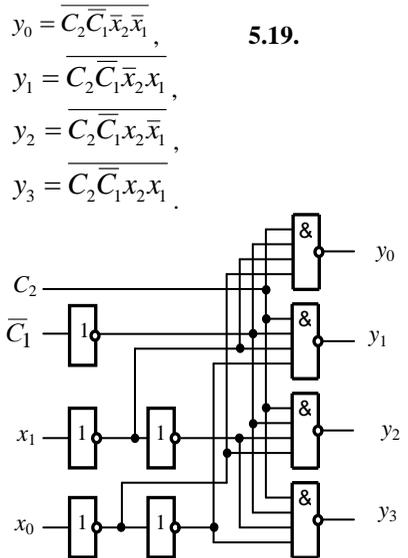


5.16.





$C_2$	$\bar{C}_1$	$x_2$	$x_1$	$y_3$	$y_2$	$y_1$	$y_0$
0	0	0	0	1	1	1	1
0	0	0	1	1	1	1	1
0	0	1	0	1	1	1	1
0	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1
0	1	0	1	1	1	1	1
0	1	1	0	1	1	1	1
0	1	1	1	1	1	1	1
1	0	0	0	1	1	1	0
1	0	0	1	1	1	0	1
1	0	1	0	1	0	1	1
1	0	1	1	0	1	1	1
1	1	0	0	1	1	1	1
1	1	0	1	1	1	1	1
1	1	1	0	1	1	1	1
1	1	1	1	1	1	1	1



5.20.

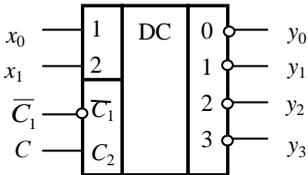
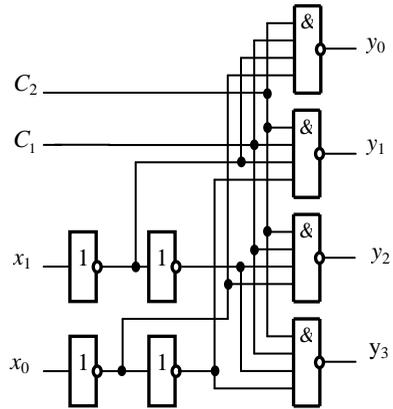
$C_2$	$C_1$	$x_2$	$x_1$	$y_3$	$y_2$	$y_1$	$y_0$
0	0	0	0	1	1	1	1
0	0	0	1	1	1	1	1
0	0	1	0	1	1	1	1
0	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1
0	1	0	1	1	1	1	1
0	1	1	0	1	1	1	1
0	1	1	1	1	1	1	1
1	0	0	0	1	1	1	1
1	0	0	1	1	1	1	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	1
1	1	0	0	1	1	1	0
1	1	0	1	1	1	0	1
1	1	1	0	1	0	1	1
1	1	1	1	0	1	1	1

$$y_0 = \overline{C_2 C_1 \bar{x}_2 \bar{x}_1},$$

$$y_1 = \overline{C_2 C_1 \bar{x}_2 x_1},$$

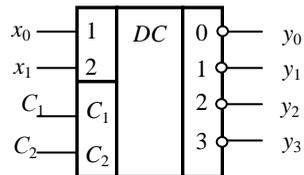
$$y_2 = \overline{C_2 C_1 x_2 \bar{x}_1},$$

$$y_3 = \overline{C_2 C_1 x_2 x_1}.$$

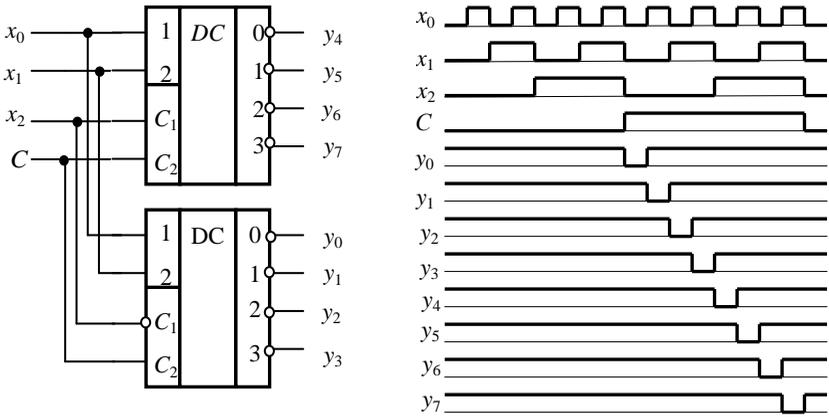


Условное обозначение разработанного в задаче 5.19 дешифратора

5.21.



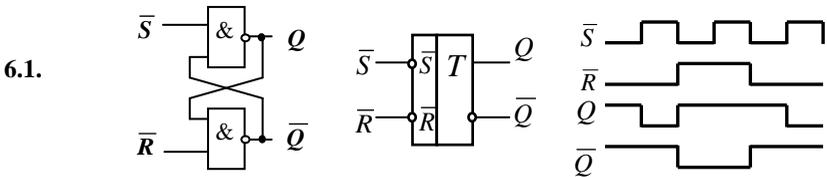
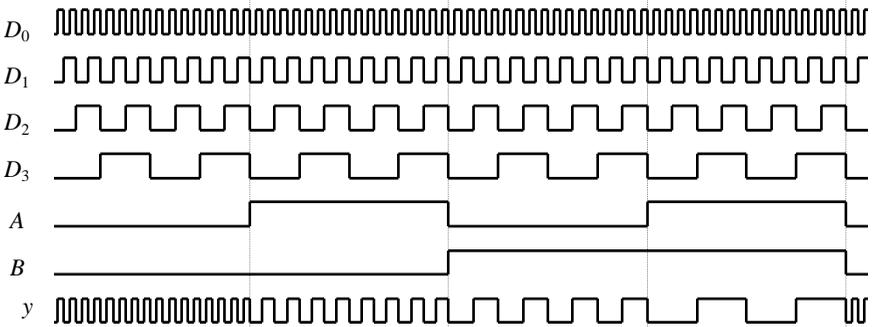
Условное обозначение разработанного в задаче 5.20 дешифратора



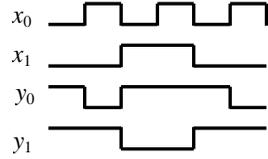
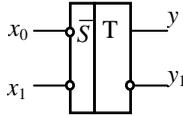
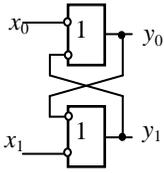
5.22.

$$y = D_0\bar{B}\bar{A} + D_1\bar{B}A + D_2B\bar{A} + D_3BA$$

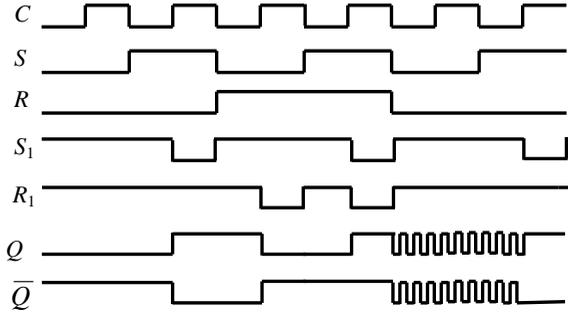
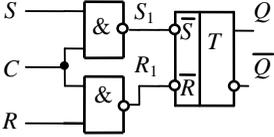
B	A	y
0	0	$D_0$
0	1	$D_1$
1	0	$D_2$
1	1	$D_3$



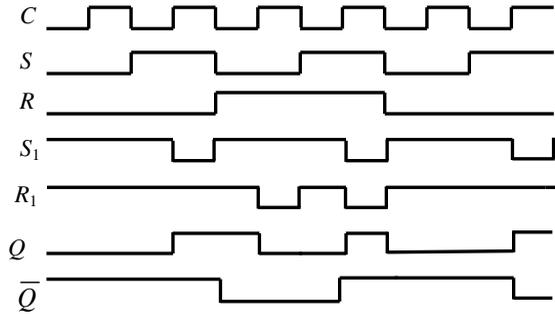
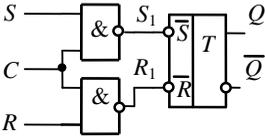
6.2.



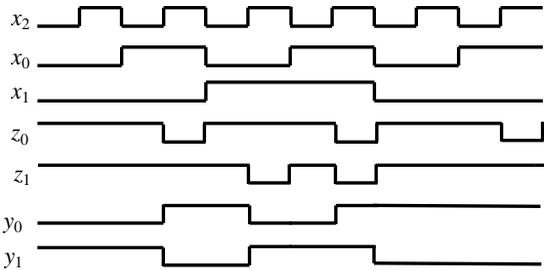
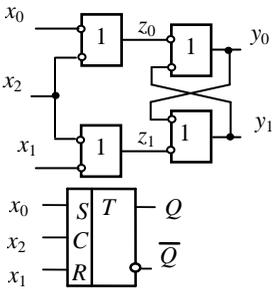
6.3.

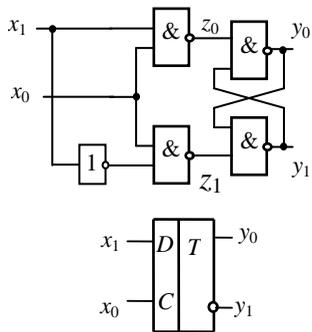


6.4.

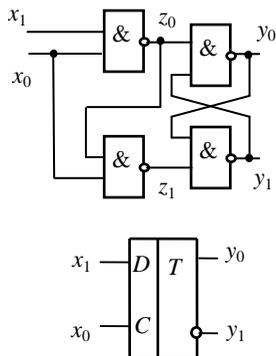
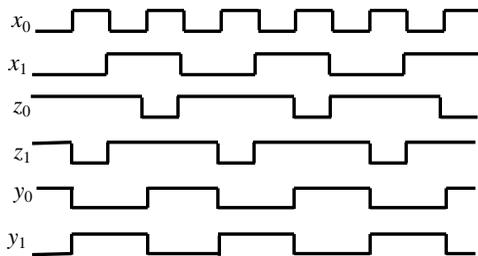


6.5.

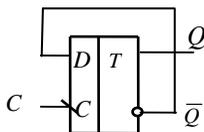
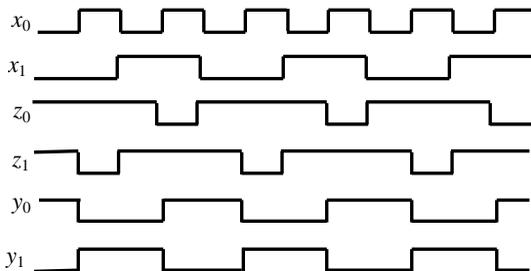




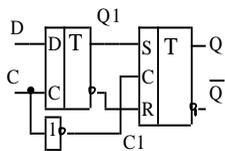
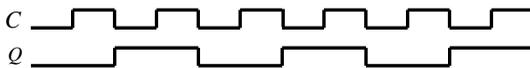
6.6.



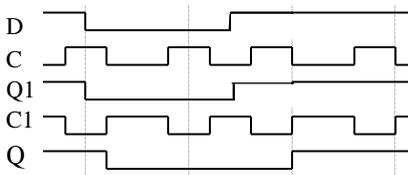
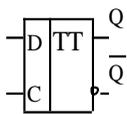
6.7.



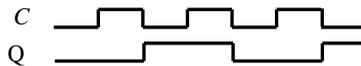
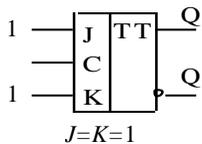
6.8.



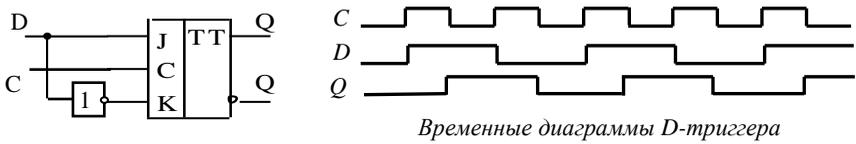
6.9.



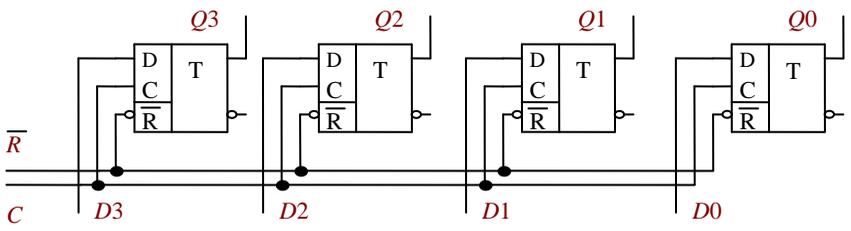
6.10.



Временные диаграммы  
T-триггера

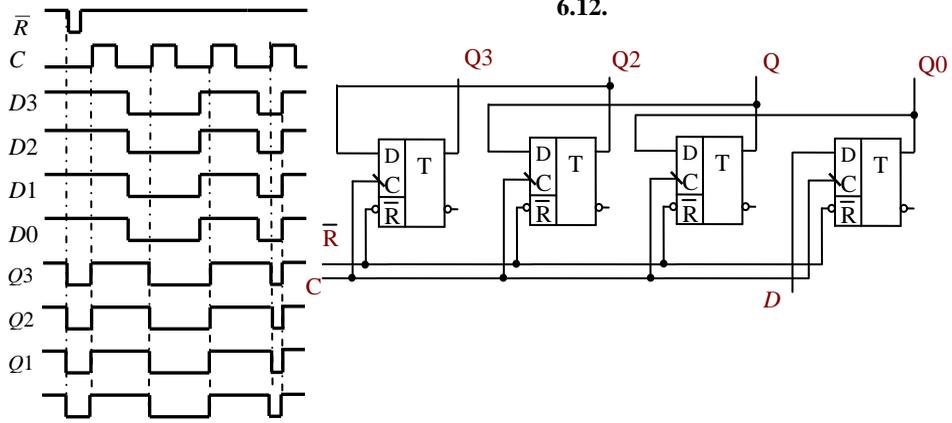


6.11.

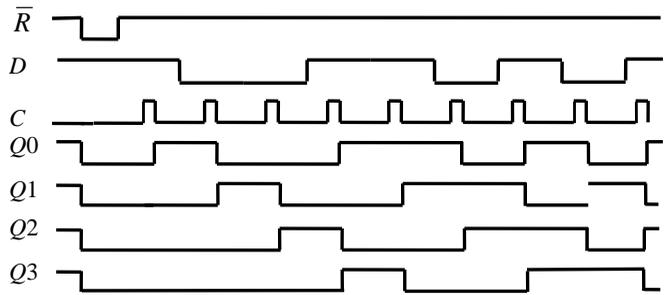


6.11.

6.12.

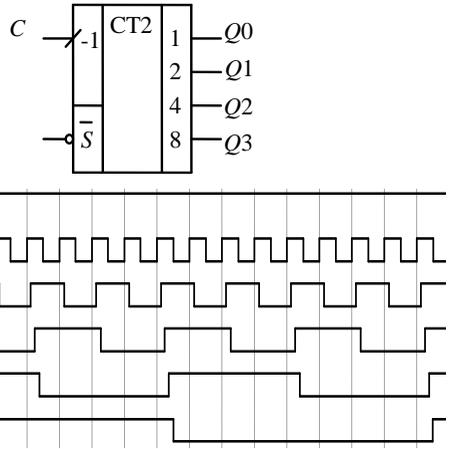


6.12.

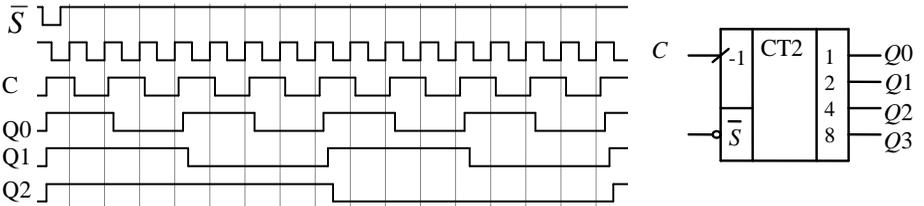
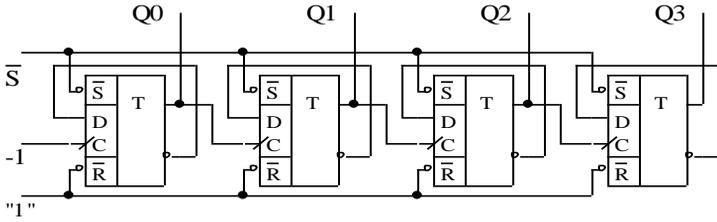


<i>N</i>	<i>Q3</i>	<i>Q2</i>	<i>Q1</i>	<i>Q0</i>
0	1	1	1	1
1	1	1	1	0
2	1	1	0	1
3	1	1	0	0
4	1	0	1	1
5	1	0	1	0
6	1	0	0	1
7	1	0	0	0
8	0	1	1	1
9	0	1	1	0
10	0	1	0	1
11	0	1	0	0
12	0	0	1	1
13	0	0	1	0
14	0	0	0	1
15	0	0	0	0

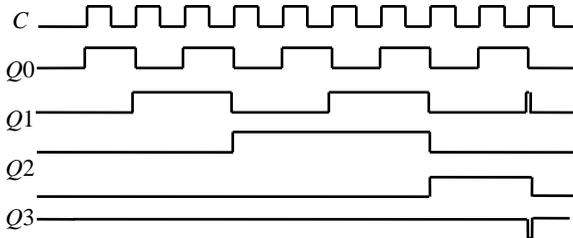
6.13.



6.14.

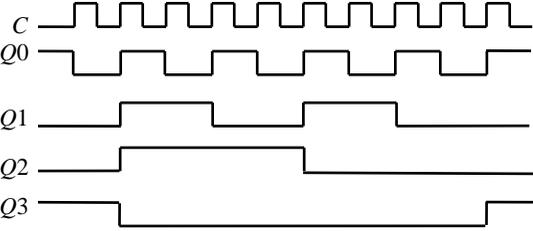


6.15.

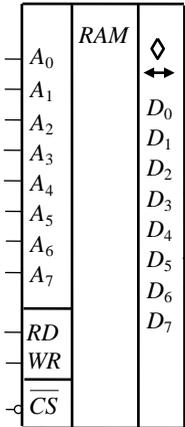


6.16.

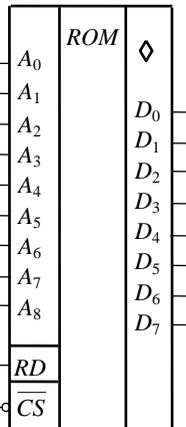
N	Q3	Q2	Q1	Q0
0	1	0	0	1
1	1	0	0	0
2	0	1	1	1
3	0	1	1	0
4	0	1	0	1
5	0	1	0	0
6	0	0	1	1
7	0	0	1	0
8	0	0	0	1
9	0	0	0	0



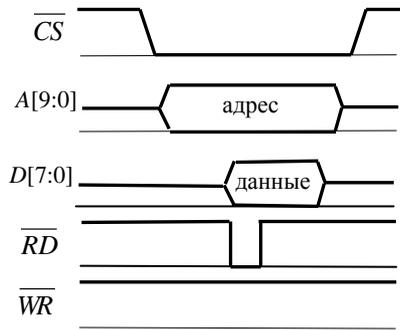
7.1.



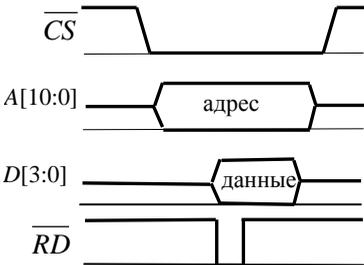
7.2.



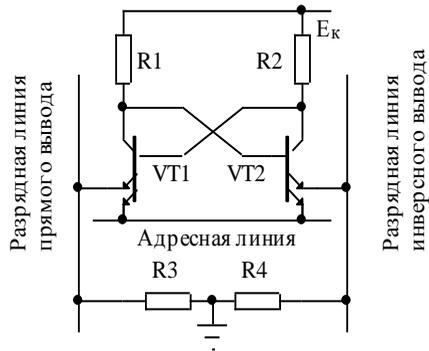
7.3.



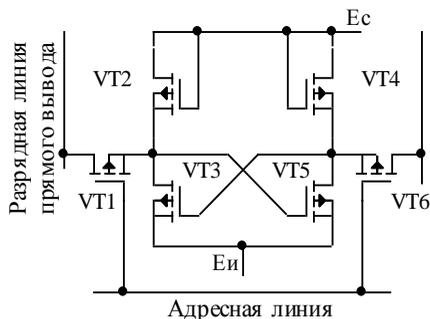
7.4.



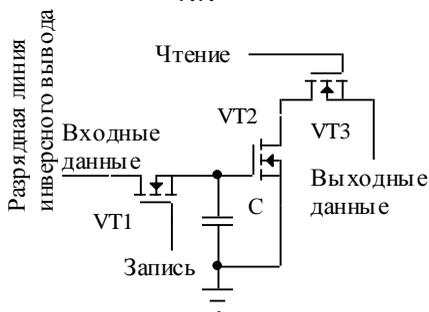
7.5.



7.6.



7.7.



7.8. 65 536 байт, 524 288 бит.

7.9. Разрядность адреса – 14, длина слова – 16, емкость памяти – 262 144 бита.

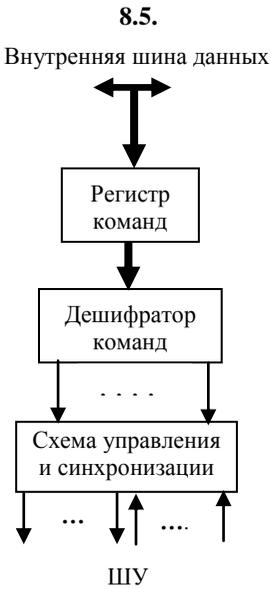
8.1. 786 432 бита, 98 304 байта.

8.2. Системная магистраль микропроцессорной системы состоит из трехстабильной однонаправленной шины адреса (ША), трехстабильной двунаправленной шины данных (ШД) и шины управления (ШУ). ША обеспечивает передачу формируемых микропроцессором адресов ячеек памяти, устройств ввода и устройств вывода. ШД используется для обмена данными (операндами) между МП, с одной стороны, и памятью, устройствами ввода и вывода, с другой. ШУ предназначена для передачи управляющих сигналов, необходимых для организации обмена данными и управления работой всех элементов микропроцессорной системы.

8.3. Микропроцессор, память, устройства ввода, устройства вывода и системная магистраль. Микропроцессор непосредственно выполняет арифметические и логические операции над данными, осуществляет программное управление процессом обработки данных, организует взаимодействие всех элементов системы. Память предназначена для хранения программ и данных.

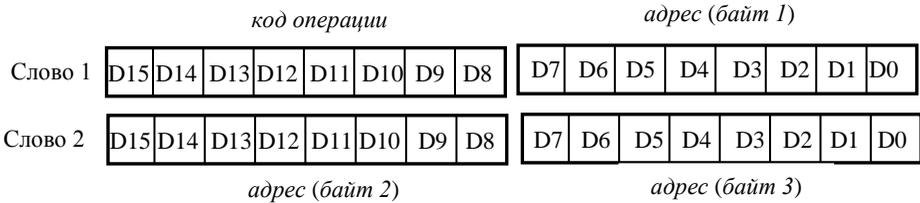
Устройства ввода и вывода обеспечивают возможность обмена информацией между микропроцессором и внешней средой. Устройства ввода преобразуют вводимые данные из формы представления во внешнем устройстве в воспринимаемые микропроцессором электрические сигналы. Устройства вывода преобразуют выходные данные микропроцессора в неэлектрические, цифровые или аналоговые электрические сигналы, удобные для восприятия человеком или используемые для непосредственного управления исполнительными механизмами в системах автоматизации.

8.4. Вторая система обладает большим быстродействием, т. к. период следования тактовых импульсов в ней меньше периода следования тактовых импульсов в первой системе.



**8.7.** Регистровая, косвенная регистровая, непосредственная, прямая.

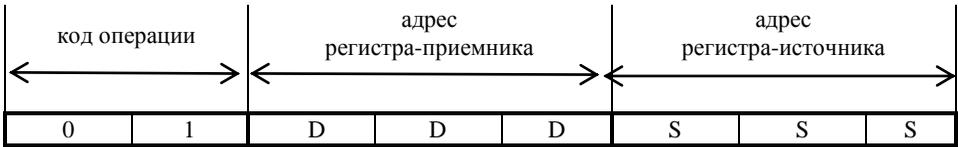
**8.8.**



**8.9.**

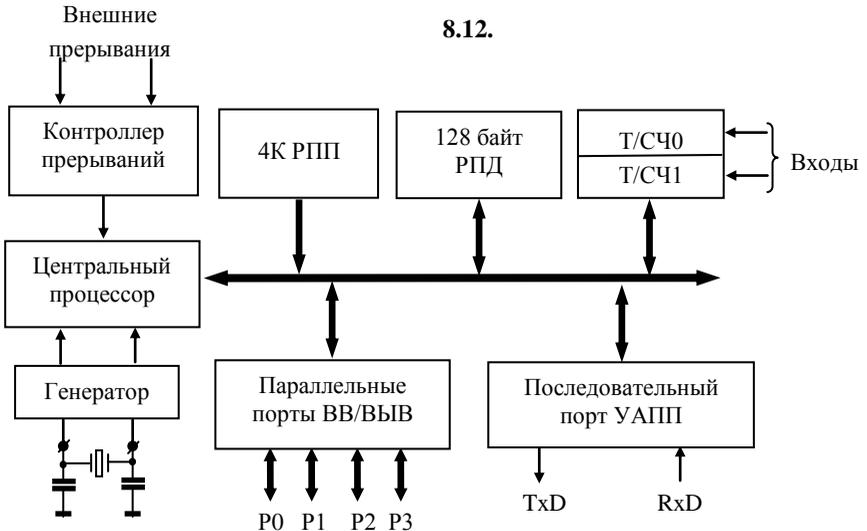


### 8.10.



Формат команды MOV r1, r2

**8.11.** Центральный процессор, резидентная память программ, резидентная память данных, блок таймеров/счетчиков (Т/СЧ0, Т/СЧ1), параллельные порты ввода/вывода, последовательный порт, контроллер прерываний, генератор.



**8.13.** Регистровая адресация, прямая адресация, косвенная регистровая адресация.

**8.14.** Непосредственная адресация.

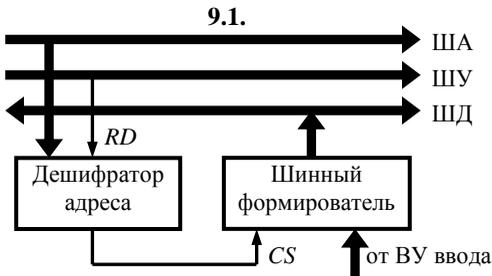
**8.15.** В счетчике команд формируется текущий адрес памяти программ. Его содержимое автоматически увеличивается на 1 после выборки каждого байта команды и может изменяться скачкообразно при выполнении команд условных и безусловных переходов, при выполнении команды вызова подпрограммы и при обслуживании прерываний.

**8.16.** В адресном поле кода обеих команд указан адрес регистра. В командах с регистровой адресацией в этом регистре находится операнд, а в командах с косвенной регистровой адресацией – адрес операнда.

**8.17.** Память данных предназначена для хранения данных. Это оперативное запоминающее устройство доступно по записи и чтению. Емкость этого энергозависимого запоминающего устройства 128 (256) байт.

Память программ предназначена для хранения программ. Это постоянное запоминающее устройство доступно по чтению. Емкость этого энергонезависимого устройства 128 (256) байт.

зависимого запоминающего устройства в базовом микроконтроллере семейства MCS-51 4 килобайта.



**9.2.** Синхронный программно-управляемый обмен данными выполняется по инициативе программы и под ее управлением. Применим только к всегда готовым к обмену внешним устройствам и к устройствам, синхронно работающим с процессором. Имеет самый простой интерфейс.

**9.3.** При параллельной передаче все разряды слова передаются одновременно. Параллельная передача данных обеспечивает высокую скорость обмена. Однако для ее организации требуется канал связи, количество линий в котором равно числу одновременно передаваемых разрядов. При последовательной передаче данных используется одна сигнальная линия, по которой разряды слова передаются друг за другом последовательно. Последовательная передача позволяет сократить количество сигнальных линий в канале связи, но уменьшает скорость передачи.

**9.4.** Асинхронный программно-управляемый обмен данными – это обмен данными с запросом готовности внешних устройств к обмену, выполняемый по инициативе программы и под ее управлением. Регистр состояния интерфейса такого обмена используется для фиксации готовности внешних устройств к обмену.

**9.5.** Обмен данными по прерыванию выполняется по инициативе внешнего устройства под управлением программы. По сигналу, формируемому внешним устройством в случае его готовности к обмену, цифровой процессор прекращает выполнение текущей программы и переходит к обслуживанию внешнего устройства. По окончании обслуживания возвращается к выполнению прерванной программы.

**9.6.** Инициатором обмена данными по прерыванию является внешнее устройство. Поэтому отсутствуют затраты машинного времени процессора на определение готовности внешних устройств к обмену и увеличивается скорость обмена.

**9.7.** Обмен данными между двумя внешними устройствами по каналу прямого доступа к памяти осуществляется по инициативе внешнего устройства под управлением специального устройства, называемого контроллером прямого доступа к памяти. При этом центральный процессор цифрового процессора отключается от шины адреса, шины данных и некоторых линий шины управления. Вся необходимая для обмена информация формируется контроллером прямого доступа к памяти.

**9.8.** Синхронная передача начинается с посылки синхробайта, за которым сразу же следует поток информационных бит. Если у передатчика нет данных для передачи, он заполняет паузу непрерывной посылкой байтов синхронизации. В синхронном режиме необходима внешняя синхронизация приемника с передатчиком. Внешняя синхронизация возможна либо с помощью отдельной ли-

нии для передачи сигнала синхронизации, либо с использованием самосинхронизирующего кодирования данных, при котором на стороне приемника из принятого сигнала могут быть выделены импульсы синхронизации. В любом случае синхронный режим требует дорогих линий связи или окончного оборудования.

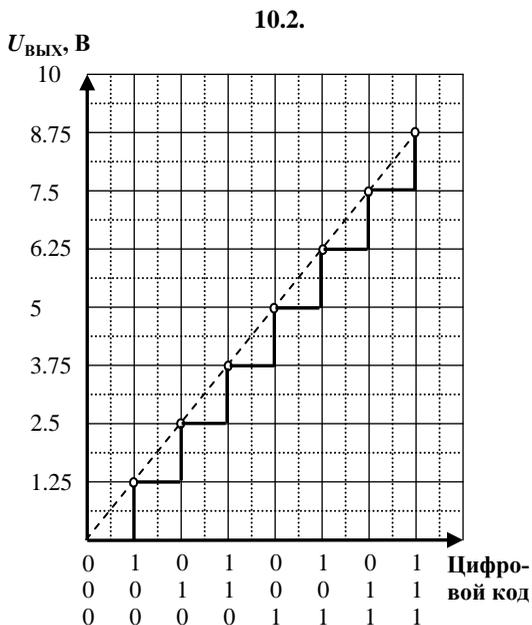
При асинхронной передаче каждому байту предшествует старт-бит, информирующий приемник о начале посылки. За стартовым битом следуют биты данных и, возможно, бит паритета (четности). Завершает посылку один или два стоп-бита.

**9.9.** Старт-бит информирует приемник о начале передачи символа. Стоп-бит информирует приемник об окончании передачи символа.

**9.10.** При передаче данных возникает необходимость преобразования данных: из параллельного формата, в котором они поступают в интерфейс последовательной передачи из процессора, в последовательный, а при приеме данных – из последовательного в параллельный. Кроме того, требуется реализовать соответствующий режиму работы внешнего устройства синхронный или асинхронный способ обмена данными.

**9.11.** Обмен данными по каналу прямого доступа к памяти осуществляется между двумя внешними устройствами без участия процессора под управлением контроллера прямого доступа к памяти.

**10.1.** 5120 мВ, 2,5 мВ, 10 237,5 мВ.



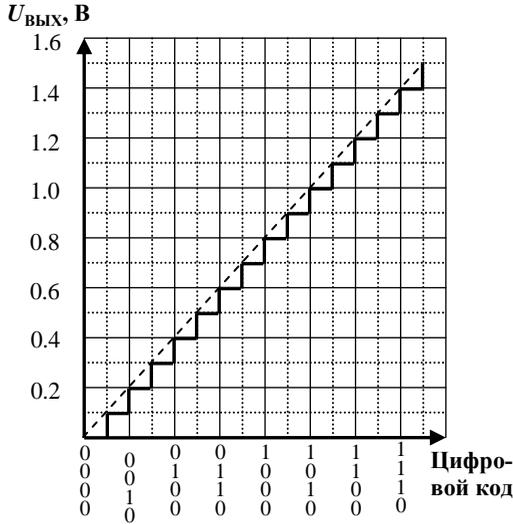
**10.3.** Напряжение ЕМР = 31,25 мВ, выходное напряжение  $U_{\text{вых}} = 6 \text{ В}$ .

**10.4.** Погрешность смещения нуля в единицах МЗР  $\delta_{см} [МЗР] = 0,256 МЗР$ , погрешность смещения нуля в процентах от напряжения полной шкалы  $\delta_{см} [\% U_{пш}] = 0,1 \% U_{пш}$ .

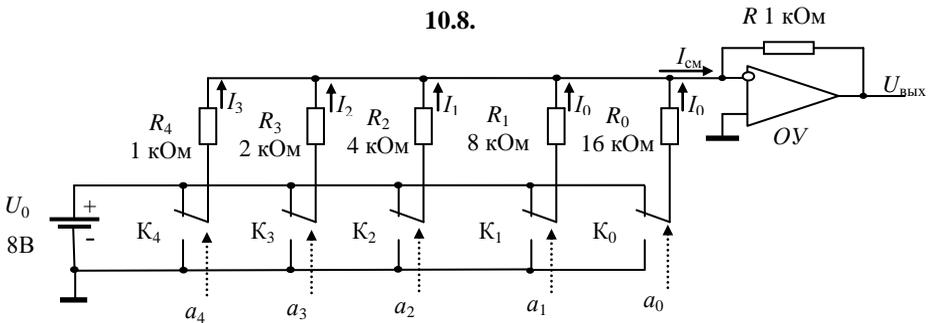
**10.5.** Погрешность полной шкалы в единицах МЗР  $\delta_{пш} [МЗР] = 0,36 МЗР$ , погрешность смещения нуля в процентах от напряжения полной шкалы  $\delta_{пш} [\% U_{пш}] = 0,14 \% U_{пш}$ .

**10.6, а.** 5 В. **10.6, б.** 5 В.

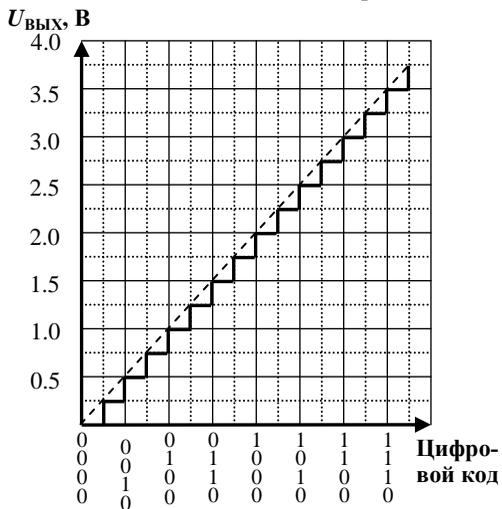
**10.7.** Разрешающая способность 100 мВ. Напряжение полной шкалы 1600 мВ.



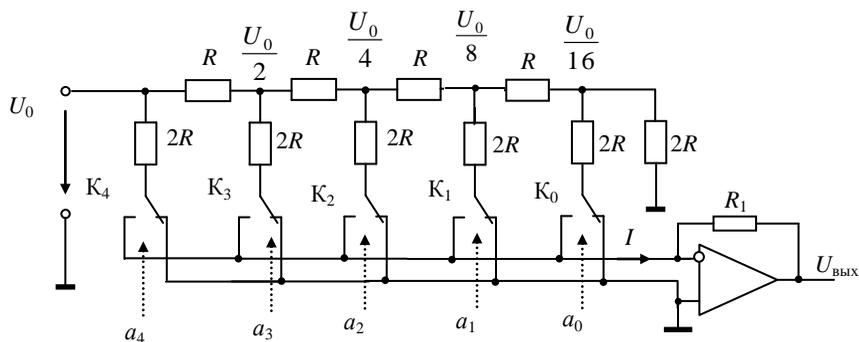
**10.8.**



10.9. Разрешающая способность 250 мВ. Напряжение полной шкалы 4 В.



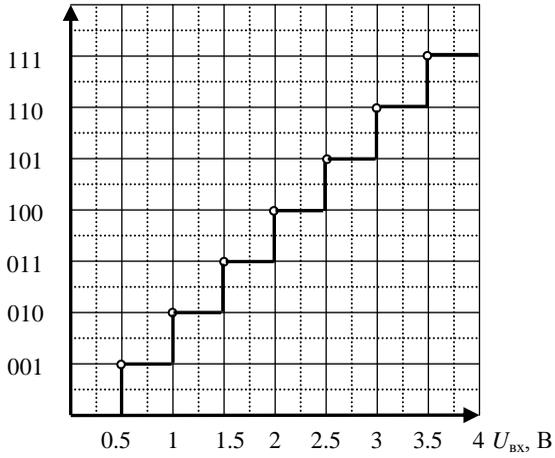
10.10.



11.1. 100101100, 111110100, 1010111100.

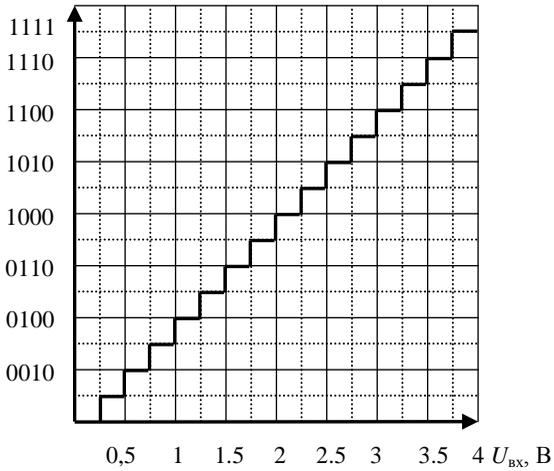
### 11.2.

Вых. код



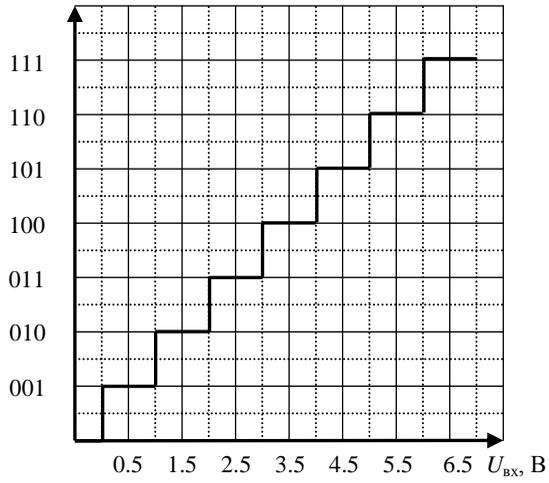
### 11.3.

Вых. код



### 11.5.

Вых. код



**11.6.** 255, 40 мВ.

**11.7.** 8; 7,8125 мВ.

**11.8.** 102,3 мкс.

**11.9.** 1 мкс.

## Литература

1. Яновский, В. П. Автоматизация эксперимента: уч.-метод. пособие для студентов специальности «Информационные системы и технологии (в экологии)» / В. П. Яновский. – Минск : МГЭУ им. А. Д. Сахарова, 2010. – 136 с.
2. Токхейм, Р. Основы цифровой электроники: пер. с англ. / Р. Токхейм. – М. : Мир, 1988.
3. Мейзда, Ф. Интегральные схемы: технология и применение: пер. с англ. / Ф. Мейзда. – М. : Мир, 1981.

Учебное издание

**Яновский Валерий Петрович**

**СБОРНИК ЗАДАЧ И УПРАЖНЕНИЙ ПО ДИСЦИПЛИНЕ  
«АВТОМАТИЗАЦИЯ ЭКСПЕРИМЕНТА»**

**УЧЕБНО-МЕТОДИЧЕСКОЕ ПОСОБИЕ**

Редактор *С. М. Курбыко, О. А. Кучинский*  
Корректор *С. М. Курбыко*  
Компьютерная верстка *С. М. Курбыко*

Подписано в печать 26.07.2010. Формат 60×90 <sup>1</sup>/<sub>16</sub>.  
Бумага офсетная. Гарнитура Times. Ризография.  
Усл. печ. л. 6,75. Уч.-изд. л. 3,34.  
Тираж 60 экз. Заказ № 146.

Издатель и полиграфическое исполнение  
учреждение образования «Международный государственный  
экологический университет имени А. Д. Сахарова»

ЛИ № 02330/0131580 от 28.07.2005 г.  
Республика Беларусь, 220070, г. Минск, ул. Долгобродская, 23

E-mail: [info@iseu.by](mailto:info@iseu.by)  
<http://www.iseu.by>