

ЭФФЕКТИВНОЕ МОДЕЛИРОВАНИЕ НЕИСПРАВНОСТЕЙ» НА ПЕРЕКЛЮЧАТЕЛЬНОМ УРОВНЕ

А. Е. Люлькин

*Белорусский государственный университет, проспект Независимости, 4, 220040, г. Минск, Беларусь,
lulkin@bsu.by*

Предложен формальный аппарат для параллельного моделирования неисправностей из расширенного класса, включающего константные неисправности и неисправности типа обрыва транзистора, в КМОП-схемах, представленных на переключательном уровне. Моделирование выполняется с учетом емкостных свойств КМОП-схем, что позволяет учесть условия обнаружения неисправностей в таких схемах.

Ключевые слова: КМОП-схема; переключательный уровень; моделирование неисправностей

На основе моделирования неисправностей могут быть практически решены различные задачи диагностики цифровых устройств: анализ на полноту заданного теста; вычисление множества неисправностей, проверяемых некоторым входным набором (такая задача возникает, например, в процессе построения теста на основе направленных методов); построение теста поиска неисправности и др. Моделирование неисправностей состоит в вычислении выходных реакций схемы с соответствующими неисправностями на заданные входные воздействия. Учитывая высокую трудоемкость решения задачи моделирования неисправностей, разработаны различные методы повышения эффективности вычислительного процесса моделирования неисправностей: параллельное моделирование неисправностей, дедуктивное моделирование, событийное моделирование и др. [1-3]. Необходимо отметить, что указанные методы, в основном, ориентированы на повышение эффективности моделирования константных неисправностей в схемах из функциональных элементов. Однако проблема моделирования неисправностей возникает и при решении задач диагностики интегральных КМОП-схем, представленных на переключательном уровне (уровень транзисторов [3]), что обусловлено тем, что ряд характерных для КМОП-схем неисправностей (например, неисправности типа обрыва транзистора) не описываются моделью константных неисправностей в схеме, представленной на уровне функциональных элементов. Моделирование неисправностей из расширенного класса может быть использовано для анализа на полноту тестов, построенных на вентиляльном уровне, а также в процессе построения тестов на вентиляльном уровне с целью их дальнейшей доработки, если это необходимо, с помощью трудоемких методов, ориентированных на такой класс неисправностей. В статье предлагается формальный аппарат для параллельного моделирования неисправностей из расширенного класса, включающего константные неисправности и неисправности типа обрыва транзистора, в КМОП-схемах, представленных на переключательном уровне.

Рассмотрим математический аппарат для параллельного моделирования в алфавите $V_7 = \{0, 1, u, 0', 1', u', z\}$ переключательной КМОП-структуры, содержащей транзисторы р-типа и n-типа, как в исправном состоянии, так и с неисправностями. Здесь u – неопределенное значение сигнала; $0'$, $1'$, u' – емкостные сигналы 0, 1 и неопределенное значение; z – состояние высокого импеданса.

Моделирование переключательной КМОП-схемы выполняется с учетом единичных задержек транзисторов. Для представления символов алфавита V_7

используются тройки булевых значений (s, h, a) следующим образом: $0 \rightarrow (000)$, $1 \rightarrow (001)$, $u \rightarrow (010)$, $0' \rightarrow (100)$, $1' \rightarrow (101)$, $u' \rightarrow (110)$, $z \rightarrow (-11)$. Для представления m значений, заданных в алфавите V_7 , на i -й линии схемы будем использовать три булевых вектора $\underline{a}^i = (a^i_1, \dots, a^i_j, \dots, a^i_m)$, $\underline{h}^i = (h^i_1, \dots, h^i_j, \dots, h^i_m)$ и $\underline{s}^i = (s^i_1, \dots, s^i_j, \dots, s^i_m)$, где тройка (s^i_j, h^i_j, a^i_j) описывает значение сигнала на i -й линии j -го экземпляра схемы так, как было указано выше. В качестве модели транзистора n -типа будем использовать функциональный элемент с несимметричными входами [3]. В [3] приведена таблица истинности реализуемой элементом функции. Функционирование элемента описывается в алфавите V_7 . Вход x соответствует затвору транзистора, y — истоку транзистора, выход f — стоку транзистора. Если через некоторый транзистор сигнал может распространяться в обоих направлениях, то он заменяется схемой из двух направленных функциональных элементов, включенных параллельно, но с противоположным направлением распространения сигнала. Отметим, что используемая функциональная модель транзистора усложнена по сравнению с моделью в виде ключа (или направленного ключа), которая используется при построении тестовых последовательностей. Это обусловлено тем, что при моделировании неисправностей из расширенного класса на переключательном уровне на истоки транзисторов n -типа может поступать не только значение 0, но и 1. Аналогично, сигнал на затворе может принимать любое значение из V_7 . Это существенное отличие от моделей, использовавшихся при направленном построении тестов, когда можно ограничиться выбором определенных значений сигналов в узлах схемы при нахождении условий образования существенных путей. Похожим образом транзистор p -типа также можно представить функциональным элементом [3]. Логическая функция, реализуемая в узле, в который поступают сигналы с нескольких линий, представляется соединителем [3] (для случая двух линий).

Моделирование одного экземпляра схемы на заданном входном наборе $X = (x_1, \dots, x_j, \dots, x_n)$ сводится к последовательному вычислению значений на выходах функциональных элементов в порядке возрастания их номеров (предполагается, что элементы правильно пронумерованы, т.е. номер элемента превосходит номера тех элементов, выходы которых непосредственно соединены со входами данного элемента; числами от 1 до n нумеруются входы схемы). Далее рассматривается параллельное моделирование m экземпляров схемы в алфавите V_7 с использованием приведенной выше кодировки символов. Здесь m — максимальное число разрядов в операндах, над которыми могут выполняться поразрядные логические операции в конкретном компьютере. Тогда, учитывая таблицы истинности функций, реализуемых функциональными элементами, моделирующими транзисторы n -типа и p -типа и соединение [3], можно записать аналитические выражения для вычисления вектора значений сигналов на выходе элемента по векторам значений сигналов на его входах:

1) функциональный элемент для транзистора n -типа

$$\begin{aligned}\underline{s}^f &= (\underline{h}^x \oplus \underline{a}^x) \underline{s}^y \underline{a}^y \vee \underline{h}^x \underline{a}^x \underline{s}^y \underline{a}^y, \\ \underline{h}^f &= \underline{h}^x \vee \underline{a}^x \vee \underline{h}^y \vee \underline{a}^y, \\ \underline{a}^f &= \left(\overline{\underline{s}^x \underline{h}^x \underline{a}^x \vee \underline{h}^y \underline{s}^y} \right) \underline{a}^y \vee \left(\left(\overline{\underline{h}^x \vee \underline{a}^x} \right) \vee \underline{s}^x \underline{h}^x \underline{a}^x \right) \overline{\underline{s}^y \underline{h}^y \underline{a}^y}.\end{aligned}$$

2) функциональный элемент для транзистора p -типа

$$\underline{s}^f = \left(\underline{s}^x \underline{h}^x \underline{h}^y \underline{a}^y \vee \underline{s}^y (\underline{h}^y \oplus \underline{a}^y) \right) \underline{a}^x \vee \underline{h}^x \underline{a}^x \underline{s}^y (\underline{h}^y \oplus \underline{a}^y),$$

$$\begin{aligned}\underline{h}^f &= \underline{h}^x \vee \underline{a}^x \vee \underline{h}^y \vee \underline{a}^y, \\ \underline{a}^f &= \left(\underline{h}^x \vee \underline{a}^x \right) \vee \left(\underline{a}^x \vee \underline{h}^y \vee \underline{a}^y \right) \vee \underline{s}^y \underline{h}^y \underline{a}^y \underline{s}^x \underline{a}^x \vee \\ &\quad \vee \left(\underline{s}^x \vee \underline{h}^y \right) \left(\underline{a}^x \vee \underline{a}^y \right) \vee \underline{a}^x \left(\underline{s}^x \underline{h}^x \vee \underline{s}^y \underline{a}^y \right).\end{aligned}$$

3) соединитель

$$\begin{aligned}\underline{s}^f &= \underline{s}^x \underline{s}^y \underline{h}^y \underline{a}^y \underline{h}^x \underline{a}^x \vee \underline{s}^y \underline{h}^y \underline{a}^y \left(\underline{s}^x \oplus \underline{h}^x \underline{a}^x \right), \\ \underline{h}^f &= \left(\underline{s}^x \oplus \underline{s}^y \right) \left(\left(\underline{a}^x \vee \underline{h}^y \right) \underline{a}^y \vee \left(\underline{h}^x \vee \underline{a}^y \right) \underline{a}^x \right) \vee \\ &\quad \vee \left(\left(\underline{h}^x \vee \underline{s}^y \right) \vee \underline{s}^x \underline{h}^x \underline{a}^x \right) \underline{h}^y \underline{a}^y \vee \underline{h}^x \underline{a}^x \underline{s}^y \& \\ &\quad \& \underline{h}^y \underline{a}^y \vee \underline{h}^x \left(\underline{s}^x \vee \underline{a}^x \right) \underline{s}^y \underline{h}^y \underline{a}^y \vee \underline{s}^x \underline{a}^x \& \\ &\quad \& \left(\underline{h}^x \underline{s}^y \underline{a}^y \vee \left(\underline{s}^y \vee \underline{a}^y \right) \right) \underline{h}^y, \\ \underline{a}^f &= \underline{a}^x \left(\underline{a}^y \left(\underline{s}^x \underline{h}^x \vee \underline{s}^y \underline{h}^y \right) \vee \underline{s}^y \left(\underline{s}^x \vee \underline{h}^x \vee \underline{h}^y \underline{a}^y \right) \right) \vee \\ &\quad \vee \underline{s}^x \underline{a}^y \left(\underline{s}^y \vee \underline{h}^y \vee \underline{h}^x \underline{a}^x \right).\end{aligned}$$

В этом случае параллельное моделирование m экземпляров схемы сводится к последовательному вычислению векторов $\underline{a}^i$, $\underline{h}^i$ и $\underline{s}^i$ для всех линий схемы на основе простых итераций.

Рассмотрим сейчас модификацию приведенных формул, позволяющую вносить в отдельные моделируемые экземпляры схемы константные неисправности, а также неисправности типа обрыва транзистора. Отметим, что неисправность типа обрыва транзистора n-типа эквивалентна неисправности типа "константа 0" на затворе транзистора, а неисправность типа обрыва транзистора p-типа - неисправности типа "константа 1" на затворе транзистора. Будем рассматривать также константные неисправности на входах и выходах функциональных элементов, моделирующих транзисторы. В то же время неисправности соединителей можно не рассматривать так как они эквивалентны соответствующим константным неисправностям на полюсах транзисторов, подключенных к соединителю.

Для внесения неисправностей в i -ю линию схемы будем использовать пару булевых векторов $\underline{b}^{i,0} = (b_1^{i,0}, \dots, b_j^{i,0}, \dots, b_m^{i,0})$, $\underline{b}^{i,1} = (b_1^{i,1}, \dots, b_j^{i,1}, \dots, b_m^{i,1})$. При этом вектор $\underline{b}^{i,0}$ используется для внесения неисправностей типа "константа 0", а вектор $\underline{b}^{i,1}$ - для внесения неисправностей типа "константа 1". Для внесения неисправности "константа α " ($\alpha \in \{0,1\}$) на i -ю линию j -го экземпляра схемы необходимо, чтобы

$$\begin{aligned}b_j^{i,\alpha} &= \alpha, \\ b_k^{i,\alpha} &= \neg\alpha; k = 1, \dots, m; k \neq j.\end{aligned}$$

Тогда для вычисления значений на i -й линии схемы с возможностью внесения неисправностей типа "константа 0" можно использовать следующие выражения:

$$\begin{aligned}\underline{s}^i &:= \underline{s}^i \underline{b}^{i,0}, \\ \underline{h}^i &= \underline{h}^i \underline{b}^{i,0}, \\ \underline{a}^i &= \underline{a}^i \underline{b}^{i,0},\end{aligned}$$

где знак "==" означает, что линии присваивается новый вектор значений, полученный после вычислений, заданных правой частью выражения.

Аналогично, для внесения неисправностей типа "константа 1" могут быть использованы следующие выражения:

$$\underline{s}^i := \underline{s}^i \underline{b}^{i,1},$$

$$\underline{h}^i = \underline{h}^i \underline{b}^{i,1},$$

$$\underline{a}^i = \underline{a}^i \vee \underline{b}^{i,1}.$$

Используя приведенный аппарат для внесения неисправностей, можно модифицировать формулы для вычисления векторов значений на выходах функциональных элементов, моделирующих транзисторы n-типа и p-типа, обеспечив возможность внесения неисправностей типа "константа 0" и "константа 1" на управляющие входы элементов:

- 1) функциональный элемент для транзистора n-типа

$$\underline{s}^f = (\underline{h}^x \oplus \underline{a}^x) \underline{b}^{x,0} \underline{s}^y \underline{a}^y \vee \underline{h}^x \underline{b}^{x,0} \underline{a}^x \underline{b}^{x,0} \underline{s}^y \underline{a}^y,$$

$$\underline{h}^f = \underline{h}^x \underline{b}^{x,0} \vee \underline{a}^x \underline{b}^{x,0} \vee \underline{h}^y \vee \underline{a}^y,$$

$$\underline{a}^f = \underline{a}^x \underline{h}^x \underline{s}^x \underline{b}^{x,0} \underline{h}^y \underline{s}^y \underline{a}^y \vee \left(\underline{b}^{x,0} (\underline{h}^x \vee \underline{a}^x) \vee \underline{s}^x \underline{b}^{x,0} \underline{h}^x \underline{a}^x \underline{b}^{x,0} \right) \underline{s}^y \underline{h}^y \underline{a}^y.$$

- 2) функциональный элемент для транзистора p-типа

$$\underline{h}^f = \underline{h}^x \vee \underline{a}^x \vee \underline{b}^{x,1} \vee \underline{h}^y \vee \underline{a}^y,$$

$$\underline{s}^f = \underline{s}^x \underline{h}^x \underline{a}^y \left(\underline{a}^x \vee \underline{h}^y \vee \underline{b}^{x,1} \right) \vee \underline{s}^y \left(\underline{a}^x \vee \underline{b}^{x,1} \right) \& \\ \& \left(\underline{a}^y \oplus \underline{h}^y \right) \vee \underline{h}^x \underline{b}^{y,0} \left(\underline{a}^x \vee \underline{b}^{x,1} \right) \underline{s}^y \left(\underline{h}^y \oplus \underline{a}^y \right),$$

$$\underline{a}^f = \left(\underline{h}^x \vee \underline{b}^{x,1} \right) \underline{h}^y \vee \left(\underline{a}^x \vee \underline{b}^{x,1} \vee \underline{h}^y \vee \underline{a}^y \right) \vee \underline{s}^y \underline{h}^y \underline{a}^y \& \\ \& \left(\left(\underline{s}^x \vee \underline{b}^{x,1} \right) \vee \left(\underline{a}^x \vee \underline{b}^{x,1} \right) \right) \underline{h}^y \left(\underline{s}^x \vee \underline{b}^{x,1} \right) \& \\ \& \left(\underline{a}^x \vee \underline{b}^{x,1} \vee \underline{a}^y \right) \left(\underline{a}^x \vee \underline{b}^{x,1} \right) \underline{s}^x \underline{h}^x \vee \underline{b}^{x,1} \underline{s}^y \underline{a}^y.$$

Выполним оценку эффективности рассмотренного формального аппарата параллельного моделирования неисправностей по сравнению с одиночным сквозным моделированием [2]. Сравнение произведем для случая неисправностей типа обрыва транзистора. Пусть N – число транзисторов в схеме, L – число моделируемых неисправностей, m – длина разрядной сетки ЭВМ (число одновременно моделируемых неисправностей). Тогда для моделирования L неисправностей на заданном входном наборе потребуется выполнить следующее количество элементарных логических операций (см. формулы для моделирования транзисторов n-типа и формулы для моделирования транзисторов p-типа):

$$P_1 = 13LN,$$

где $(11+15)/2=13$ – среднее число элементарных логических операций, требуемых для моделирования одного транзистора. Здесь не учтены операции, выполняемые при моделировании соединителей, так как соединители моделируются одинаковым образом как при одиночном сквозном моделировании, так и при параллельном моделировании неисправностей. При выполнении параллельного моделирования тех же неисправностей потребуется следующее количество операций (см. формулы параллельного моделирования транзисторов n-типа и формулы для параллельного моделирования транзисторов p-типа):

$$P_2 = \lceil L/m \rceil [17m + 13(N-m)] = \lceil L/m \rceil (13N + 4m),$$

где $(14+20)/2=17$ - среднее число элементарных логических операций, требуемых для моделирования одного транзистора с возможностью внесения неисправностей. Здесь $\lceil a \rceil$ означает ближайшее целое число, не меньшее, чем a . Тогда выигрыш, который мы получаем при параллельном моделировании неисправностей, составляет

$$P_1/P_2 = 13LN / \{ \lceil L/m \rceil (13N + 4m) \}.$$

Учитывая, что $L \gg m$ и $N \gg m$ (обычно $m=32$), получаем $P_1/P_2 \cong m$, т.е. параллельное моделирование позволяет получить выигрыш в быстродействии в m раз. Например, при $N=1000$, $L=500$, $m=32$ находим:

$$P_1/P_2 = (13 \cdot 500 \cdot 1000) / \{ \lceil 500/32 \rceil (13 \cdot 1000 + 4 \cdot 32) \} \cong 32.$$

Библиографические ссылки

1. Хейес, Дж.П. Обобщенная теория переключательных схем и ее применение при проектировании СБИС / Дж.П. Хейес // ТИИЭР. – Т. 70. – 1982. – N 10. – С. 5–19.
2. Автоматизированное проектирование цифровых устройств / Под ред. Бадулина С.С. М.: Радио и связь, 1981.
3. Люлькин, А.Е. Моделирование неисправностей в КМОП-схемах на переключательном уровне / А.Е. Люлькин // Микроэлектроника. – 1998. – N 1. – С. 71 – 75.