

МИНИСТЕРСТВО ОБРАЗОВАНИЯ РЕСПУБЛИКИ БЕЛАРУСЬ
Учебно-методическое объединение по естественнонаучному образованию



Первый заместитель Министра образования
Республики Беларусь

В.А. Богущ
(И.О.Фамилия)

12.12.2016

(дата утверждения)

Регистрационный № ТД-Г.Е.18 /тип.

ИНТЕГРАЛЬНАЯ ЭЛЕКТРОНИКА

**Типовая учебная программа по учебной дисциплине
для специальности 1-31 04 03 Физическая электроника**

СОГЛАСОВАНО

Начальник управления высшего
образования Министерства образования
Республики Беларусь

С.А. Касперович

(подпись)

08.12.2016

(дата)

СОГЛАСОВАНО

Председатель Учебно-методического
объединения по естественнонаучному
образованию

16.05.2016
(дата)



СОГЛАСОВАНО

Проректор по научно-методической
работе Государственного учреждения
образования «Республиканский
институт высшего школы»

И.В. Титович

(подпись)

(И.О.Фамилия)

Эксперт-нормоконтролер

А.А. Денисевич

(подпись)

(И.О.Фамилия)

26.09.2016

(дата)

Минск 2016 г.

СОСТАВИТЕЛИ:

В.С. Садов, профессор кафедры интеллектуальных систем Белорусского государственного университета, кандидат технических наук, доцент

РЕЦЕНЗЕНТЫ:

Кафедра интеллектуальных информационных технологий Учреждения образования «Белорусский государственный университет информатики и радиоэлектроники» (протокол № 16 от 22.02. 2016 г.), зав. кафедрой доктор технических наук, профессор **В.В. Голенков**;

А.В. Гулай, зав. кафедрой «Интеллектуальные системы» Белорусского национального технического университета, кандидат технических наук, доцент

РЕКОМЕНДОВАНА К УТВЕРЖДЕНИЮ В КАЧЕСТВЕ ТИПОВОЙ:

Кафедрой интеллектуальных систем Белорусского государственного университета (протокол № 11 от 10 марта 2016 г.);

Научно-методическим советом Белорусского государственного университета (протокол № 4 от 14 марта 2016 г.);

Научно-методическим советом по физике Учебно-методического объединения по естественнонаучному образованию (протокол № 5 от 16 мая 2016 г.).

Ответственный за редакцию: **В.С. Садов**

Ответственный за выпуск: **В.С. Садов**

Пояснительная записка

Типовая учебная программа по дисциплине «Интегральная электроника» разработана для учреждений высшего образования Республики Беларусь в соответствии с требованиями образовательного стандарта и типового учебного плана специальности 1-31 04 03 «Физическая электроника».

Целью изучения данной учебной дисциплины является освоение основных теоретических и практических аспектов анализа, проектирования и применения базовых цифровых и аналоговых устройств на основе интегральных микросхем в радиоэлектронных изделиях.

Основная задача дисциплины – научить студентов грамотно использовать в своей профессиональной деятельности современную микроэлектронную элементную базу для обработки информации, представленной в аналоговой и цифровой форме.

Для успешного усвоения данной учебной дисциплины необходимы знания по дисциплинам «Общая физика» (раздел «Электричество») и «Основы радиоэлектроники».

Рекомендуемые формы изучения дисциплины включают лекционный курс и лабораторный практикум по принципам построения базовых устройств обработки информации и исследованию их характеристик. Целесообразно предусмотреть предварительное выполнение индивидуальных расчетов и элементов проектирования радиоэлектронных устройств по тематике заданий к лабораторным работам.

Промежуточный контроль знаний целесообразно осуществлять в форме тестирования по основным разделам программы.

В результате изучения учебной дисциплины студент должен

знать:

- элементную базу микроэлектронных устройств;
- основы анализа, проектирования и применения цифровых и аналоговых устройств;

уметь:

- проводить расчет и проектирование цифровых и аналоговых устройств;
- осуществлять аргументированный выбор современной микроэлектронной базы для реализации разрабатываемых устройств;

владеть:

- методиками синтеза и анализа цифровых и аналоговых радиоэлектронных устройств в микроэлектронном исполнении.

В результате изучения учебной дисциплины специалист должен владеть следующими академическими компетенциями (АК) и профессиональными компетенциями (ПК):

АК-1. Уметь применять базовые научно-теоретические знания для решения теоретических и практических задач.

АК-2. Владеть системным и сравнительным анализом.

АК-3. Владеть исследовательскими навыками.

АК-4. Уметь работать самостоятельно.

АК-5. Быть способным порождать новые идеи (обладать креативностью).

АК-6. Владеть междисциплинарным подходом при решении проблем.

АК-7. Иметь навыки, связанные с использованием технических устройств, управлением информацией и работой с компьютером.

ПК-4. Проводить математическое моделирование физических процессов, приборов и устройств.

ПК-15. Рассчитывать и анализировать режимы работы приборов, интегральных схем и электронных устройств и намечать пути улучшения их характеристик.

В соответствии с образовательным стандартом и типовым учебным планом по специальности 1-31 04 03 «Физическая электроника» на изучение дисциплины отведено всего 102 часа, в том числе 62 аудиторных часа. Примерное распределение аудиторных часов по видам занятий: лекции – 34, лабораторные работы – 28.

Примерный тематический план

№ п/п	Наименование темы	Всего аудио рных часов	Их них	
			Лекции	Лаборатор- ные работы
1	Введение	2	2	-
2	Логические основы цифровой интегральной техники	2	2	-
3	Элементная база интегральной цифровой электроники	12	4	8
4	Интегральная цифровая техника комбинационного типа	8	4	4
5	Интегральные триггеры	8	4	4
6	Цифровые устройства последовательностного типа	8	4	4
7	Полупроводниковые запоминающие устройства	4	4	-
8	Аналоговые интегральные устройства и схемы	8	4	4
9	Инструментальные аналого-цифровые и цифро-аналоговые микросхемы	8	4	4
10	Заключение	2	2	-
	Итого	62	34	28

Содержание учебного материала

1. Введение

Основные понятия и определения. Общие принципы построения и создания интегральных микросхем. Классификация микросхем по назначению и функциональной сложности. Особенности технологии их производства, современный уровень достигнутых параметров, маркировка.

2. Логические основы цифровой интегральной техники.

Реализация логических функций в базисах И-НЕ, ИЛИ-НЕ. Минимизация логических функций и их функциональная устойчивость.

3. Элементная база интегральной цифровой электроники

Кодирование сигналов в цифровых устройствах. Микросхемотехника базовых логических элементов: ключевые полупроводниковые схемы; энергетические соотношения в ключевых схемах; переходные процессы в ключевых схемах; базовые потенциальные логические элементы транзисторно-транзисторной логики (ТТЛ), транзисторно-транзисторной логики на транзисторах Шотки (ТТЛШ), логики на структурах металл-окисел-полупроводник (МОП), комплементарной логики на структурах металл-окисел-полупроводник (КМОП), эмиттерно-связанной логики (ЭСЛ) и их характеристики. Силовые полупроводниковые модули.

4. Интегральная цифровая техника комбинационного типа

Микроэлектронные функциональные цифровые узлы комбинационного типа: преобразователи кодов, шифраторы и дешифраторы, мультиплексоры и демультимплексоры, схемы сравнения.

5. Интегральные триггеры

Интегральные триггеры: структура и классификация статических триггеров, интегральные *RS*, *D*, *T*, *JK* триггеры, асинхронные и синхронные триггеры, триггеры, тактируемые фронтом сигнала.

6. Цифровые устройства последовательностного типа

Интегральные цифровые счетчики, регистры.

7. Полупроводниковые запоминающие устройства

Классификация, структура и основные параметры больших интегральных схем памяти, статические и динамические оперативные запоминающие устройства, постоянные и репрограммируемые запоминающие устройства.

Программируемые логические матрицы и базовые матричные кристаллы.

8. Аналоговые интегральные устройства и схемы

Номенклатура аналоговых микросхем, особенности их структуры. Микросхемотехника дифференциальных усилителей: принципы функционирования дифференциального усилителя, основные схемотехнические методы улучшения его параметров. Операционные усилители: микросхемотехника операционных усилителей и их параметры, особенности применения операционных усилителей в электронных приборах.

9. Инструментальные аналого-цифровые и цифро-аналоговые микросхемы

Интегральные аналоговые компараторы. Устройства дискретизации аналоговых сигналов. Интегральные аналого-цифровые и цифро-аналоговые преобразователи, особенности их применения, основные характеристики.

10. Заключение

Перспективы развития и применения интегральной электроники.

ИНФОРМАЦИОННО-МЕТОДИЧЕСКАЯ ЧАСТЬ

Список рекомендуемой литературы

Основная

1. Садов, В.С. Интегральная электроника: конспект лекций/ В.С. Садов. Мн.: БГУ, 2007.- 130с.
2. Садов, В.С. Интегральная электроника: Лабораторный практикум для студентов специальностей: 1-31 04 02 «Радиофизика», 1-31 04 03 «Физическая электроника», 1-31 04 04 «Аэрокосмические радиоэлектронные и информационные системы и технологии», 1-98 01 01 «Компьютерная безопасность (по направлениям)», 1-31 03 07 «Прикладная информатика (по направлениям)»/В.С. Садов, Н.Н. Щетько. - Минск.: БГУ, 2014. – 48 с.
3. Бабич, Н.П. Компьютерная схемотехника. Методы построения и проектирования: Учебное пособие/ Н.П. Бабич, И.А. Жуков.- К.: «МК-Пресс», 2004.-576 с., ил.
4. Бойт, К. Мир электроники: Цифровая электроника/ К Бойт; пер. с нем. М.М. Ташлицкого.- М.: Техносфера, 2007.- 472 с.
5. Бэйкер, Бонни. Что нужно знать цифровому инженеру об аналоговой электронике/ Бонни Бэйк; пер. с англ. Ю.С. Магды.- М.: Додэка – XXI, 2010.- 360 с.

Дополнительная

1. Информационно-измерительная техника и электроника: учебник для студ. высш. учеб. заведений/ Г.Г. Раннев, В.А. Суругина, В.И. Калашников и др./ под. ред. Г.Г. Раннева.-М.: Издательский центр «Академия», 2006.- 512 с.
2. Китаев, Ю.В. Основы цифровой техники. Учебное пособие/ Ю.В. Китаев.- СПб.: СПбГУ ИТМО, 2007.- 87 с.

Методические рекомендации по организации и выполнению самостоятельной работы студентов

Целью управляемой самостоятельной работы студентов (далее – УСР) является освоение принципов проектирования основных элементов и устройств интегральной электроники и подготовка к выполнению лабораторных работ. Контроль выполнения заданий УСР осуществляется в процессе защиты лабораторных работ.

Задание № 1. По заданному алгебраическому представлению логической функции провести ее минимизацию с использованием карт Карно и

реализовать в базисе И-НЕ. Проверить наличие в схеме опасных состязаний и предложить пути их устранения.

Задание № 2. Синтезировать схему счетчика с заданным модулем счета.

Задание № 3. Провести расчет элементов схемы усилителей сигналов с использованием операционных усилителей в различных вариантах включения.

Перечень рекомендуемых средств диагностики результатов учебной деятельности

С целью текущего контроля знаний и умений студентов по дисциплине «Интегральная электроника» используются следующие диагностические средства:

- выборочный опрос на лекциях;
- отчеты по лабораторным работам;
- тестирование по темам дисциплины.

Примерный перечень лабораторных занятий

1. Исследование параметров базовых логических элементов.
2. Синтез минимизированных функционально-устойчивых комбинационных схем.
3. Функциональные цифровые устройства комбинационного типа.
4. Триггеры.
5. Последовательностные цифровые устройства.
6. Операционные усилители и схемы их включения.
7. Аналого-цифровые преобразователи.

Тесты для текущего контроля

Тема №1

1. Является ли система логических элементов И, ИЛИ, НЕ функционально полной? да, нет.
2. Является ли система логических элементов И-НЕ функционально полной? да, нет.
3. Является ли система логических элементов ИЛИ-НЕ функционально полной? да, нет.
4. В положительной логике напряжению логической «1» соответствует: более высокое напряжение, более высокое напряжение по модулю, более низкое напряжение.

5. В положительной логике напряжению логической «0» соответствует: более высокое напряжение, более высокое напряжение по модулю, более низкое напряжение.
6. В отрицательной логике напряжению логической «0» соответствует: более высокое напряжение, более высокое напряжение по модулю, более низкое напряжение.
7. В отрицательной логике напряжению логической «1» соответствует: более высокое напряжение, более высокое напряжение по модулю, более низкое напряжение.
8. Совершенная дизъюнктивная нормальная форма (Сов. ДНФ) логической функции – это:
 - дизъюнкция конституент единицы, взятых на тех наборах, на которых единице равна сама функция;
 - дизъюнкция конституент нуля, взятых на тех наборах, на которых нулю равна сама функция.
9. Совершенная конъюнктивная нормальная форма (Сов. КНФ) логической функции – это:
 - конъюнкция конституент единицы, взятых на тех наборах, на которых единице равна сама функция;
 - конъюнкция конституент нуля, взятых на тех наборах, на которых нулю равна сама функция.

Тема № 2

1. Функция $F(ABC) = ABC \wedge ABC \wedge ABC \wedge ABC$ записана в совершенной дизъюнктивной нормальной форме (Сов. ДНФ): да, нет.
2. Функция $F(ABC) = (A \wedge B \wedge C)(A \wedge B \wedge C)(A \wedge B \wedge C)(A \wedge B \wedge C)$ записана в совершенной конъюнктивной нормальной форме (Сов. КНФ): да, нет.
3. Устройство, реализующее логическую функцию, представленную в тупиковой ДНФ может быть подвержено опасным состязаниям: да, нет, в обязательном порядке.
4. Устройство, реализующее логическую функцию, представленную в тупиковой КНФ может быть подвержено опасным состязаниям: да, нет, в обязательном порядке.
5. Недоопределенные логические функции в процессе минимизации с помощью карт Карно на запрещенных наборах: можно доопределять, нельзя доопределять.
6. Логическая функция $F(ABC) = C \wedge AB \wedge AB$ имеет ранг равный: 1, 2, 3.

7. Опасные состязания в цифровых схемах можно устранить тактированием: да, нет, в некоторых случаях.
8. Причиной опасных состязаний в цифровых схемах являются:
 - задержки при прохождении сигналов через логические элементы схемы,
 - перегрузка логических элементов на выходах,
 - недогрузка логических элементов на выходах.
9. В потенциальной логике входными информационными сигналами являются: высокий и низкий уровни напряжения, перепады напряжений.
10. Тактирующие сигналы определяют логику работы цифровых устройств: да, нет, в некоторых случаях.

Тема № 3

1. Наибольшая мощность в электронном ключе на биполярном транзисторе рассеивается в режимах: насыщения, отсечки, переключения.
2. Наименее энергоемкой в статическом режиме является ключевая схема на: биполярном, полевом, комплементарных транзисторах.
3. Наиболее энергоемкой является: ЭСЛ-логика, ТТЛ-логика, КМОП-логика.
4. Наиболее быстродействующей является: ЭСЛ-логика, ТТЛ-логика, КМОП-логика.
5. В ТТЛШ-логике транзисторы Шотке работают в режиме: близком к насыщению, глубокого насыщения, активном.
6. В ненагруженной КМОП-ключевой схеме время включения и время выключения: равны, не равны, то или иное в зависимости от напряжения питания.
7. В КМОП-логике уровни логического нуля на входе и выходе: не совпадают, совпадают, зависит от напряжения питания.
8. В ЭСЛ-логике транзисторы работают в: насыщенном режиме, в режиме близком к насыщению, активном режиме.
9. Цифровая ключевая схема реализует логическую функцию: ИЛИ, И, НЕ.

Тема № 4

1. КМОП-логика и ТТЛ-логика по уровням входных/выходных напряжений: совместимы, не совместимы, нужны специальные схемы согласования уровней.

2. ЭСЛ-логика и ТТЛ-логика по уровням входных/выходных напряжений: совместимы, не совместимы, нужны специальные схемы согласования уровней.
3. МОП-логика и ТТЛ-логика по уровням входных/выходных напряжений: совместимы, не совместимы, нужны специальные схемы согласования уровней.
4. МОП-логика и КМОП-логика по уровням входных/выходных напряжений: совместимы, не совместимы, нужны специальные схемы согласования уровней.
5. Максимальный ток через биполярный транзистор ключевой схемы в режиме насыщения равен: $I_k = E_k/R_k$, $I_k = \beta I_b$.
6. Дешифратор – это: цифровое устройство комбинационного типа, последовательностного типа, смешанного типа.
7. Дешифратор на N входов имеет выходов: 2^N , $\log_2 N$, $N+2$.
8. Шифратор – это: цифровое устройство комбинационного типа, последовательностного типа, смешанного типа.
9. Шифратор на N выходов имеет входов: 2^N , $\log_2 N$, $N+2$.
10. Мультиплексор – это цифровое устройство: комбинационного типа, последовательностного типа, смешанного типа.

Тема № 5

1. Демультимплексор – это цифровое устройство: комбинационного типа, последовательностного типа, смешанного типа.
2. Мультиплексор 4×1 : коммутирует четыре входных сигнала на один выходной канал в соответствии с заданным адресом, коммутирует один входной сигнала на четыре выходных канала в соответствии с заданным адресом.
3. Демультимплексор 1×4 : коммутирует четыре входных сигнала на один выходной канал в соответствии с заданным адресом, коммутирует один входной сигнала на четыре выходных канала в соответствии с заданным адресом.
4. Одноразрядный полусумматор имеет: вход переноса единицы из младшего разряда и выход переноса единицы в старший разряд, только выход переноса единицы в старший разряд, только вход переноса единицы из младшего разряда.
5. RS-триггер имеет информационных входов: 1, 2, 3.
6. По входу S RS-триггер устанавливается в: единичное состояние, в нулевое состояние.

7. По входу R RS-триггер устанавливается в: единичное состояние, в нулевое состояние.
8. По входу S RS-триггер с прямым управлением устанавливается в единичное состояние: сигналом нулевого уровня, сигналом единичного уровня.
9. По входу S RS-триггер с инверсным управлением устанавливается в единичное состояние: сигналом нулевого уровня, сигналом единичного уровня.
10. Для RS-триггера с прямым управлением запрещенным входным набором является комбинация: R=S=1; R=S=0; R=1, S=0.

Тема № 6

1. Для RS-триггера с инверсным управлением запрещенным входным набором является комбинация: R=S=1; R=S=0; R=1, S=0.
2. Триггерная ячейка на двух элементах И-НЕ является RS-триггером: с прямым управлением, с инверсным управлением, со смешанным управлением.
3. Триггерная ячейка на двух элементах ИЛИ-НЕ является RS-триггером: с прямым управлением, с инверсным управлением, со смешанным управлением.
4. RS-триггеры бывают: только синхронными, только асинхронными, и синхронными и асинхронными.
5. D-триггеры бывают: только синхронными, только асинхронными, и синхронными и асинхронными.
6. Укажите логическое уравнение D-триггера:

$$Q^{n+1}=D^n, \quad Q^{n+1}=D^nQ^n, \quad Q^{n+1}=D^nT.$$
7. Если инверсный вывод D-триггера соединить со входом D, а вход синхронизации считать информационным, то получится: RS-триггер, T-триггер, тактируемый D-триггер.
8. JK-триггер имеет запрещенный входной набор: J=K=1, J=K=0, не имеет запрещенного набора.
9. При каком входном наборе JK-триггер инвертирует свое значение на противоположное: J=K=1; J=K=0; J=1, K=0.
10. JK-триггеры бывают: только синхронными, только асинхронными, и синхронными и асинхронными.

Тема № 7

1. Коэффициент счета N-разрядного счетчика равен; 2^N , $\log_2 N$, $\lg N$.

2. Самым быстродействующим является: последовательный счетчик, параллельный счетчик, счетчик с комбинированным переносом.
3. У параллельного счетчика общая задержка равна: сумме задержек всех разрядов, сумме задержек первого и последнего разряда, задержке одного разряда.
4. Двоично-десятичный счетчик строится на основе: 2-х разрядного двоичного счетчика, 3-х разрядного двоичного счетчика, 4-х разрядного двоичного счетчика.
5. Возможно вариантов двоично-десятичных счетчиков: 10, 16, более 10^6 .
6. В однофазных цифровых регистрах ввод/вывод информации осуществляется: только в прямом коде, только в обратном коде, только в прямом или только в обратном кодах.
7. В парафазных цифровых регистрах ввод/вывод информации осуществляется: только в прямом коде, только в обратном коде, как в прямом так и в обратном кодах одновременно.
8. В цифровых регистрах на D-триггерах осуществляется ввод информации: парафазно, однофазно.
9. Параллельные цифровые регистры могут тактироваться сигналами: низкого уровня, высокого уровня, перепадами напряжений.
10. Последовательные цифровые регистры могут тактироваться сигналами: низкого уровня, высокого уровня, только перепадами напряжений.

Тема № 8

1. В сдвиговой цифровой N- разрядный регистр информация вводится за: N тактов, 2N тактов, 2^N тактов.
2. В сдвиговом цифровом N- разрядном регистре информация выводится за: N тактов, 2N тактов, 2^N тактов.
3. В динамическом оперативном запоминающем устройстве элементом памяти является: триггерная ячейка, емкость, оптический диск.
4. В статическом оперативном запоминающем устройстве элементом памяти является: триггерная ячейка, емкость, оптический диск.
5. В оперативном запоминающем устройстве статического типа осуществляется постоянная регенерация содержимого элементов памяти с частотой: единиц Гц, единиц кГц, не требуется.
6. В оперативном запоминающем устройстве динамического типа осуществляется постоянная регенерация содержимого элементов памяти с частотой: десятков Гц, десятков мГц, не требуется.

7. Большая информационная емкость характерна для микросхем памяти: динамического типа, статического типа.
8. Более высокое быстродействие характерно для микросхем памяти: динамического типа, статического типа.
9. Запоминающее перепрограммируемое устройство на основе полевого транзистора с плавающим затвором способно хранить информацию при выключенном питании в течение: нескольких миллисекунд, нескольких часов, нескольких лет.
10. Оперативное запоминающее устройство может работать в режимах: только записи; только считывания; записи – считывания – хранения.

Тема № 9

1. SRAM – это: постоянное запоминающее устройство, оперативное запоминающее устройство динамического типа, оперативное запоминающее устройство статического типа.
2. DRAM – это: постоянное запоминающее устройство, оперативное запоминающее устройство динамического типа, оперативное запоминающее устройство статического типа.
3. Дифференциальный усилитель предназначен для усиления: синфазных сигналов, дифференциальных сигналов, и тех и других.
4. В реальном дифференциальном усилителе коэффициент усиления синфазного сигнала: минимизирован, установлен максимально возможным, равен коэффициенту усиления дифференциального сигнала.
5. В реальном дифференциальном усилителе коэффициент усиления дифференциального сигнала: минимизирован, установлен максимально возможным, равен коэффициенту усиления синфазного сигнала.
6. Синфазные сигналы: равны по величине, но противоположны по знаку; одного знака, но не равны по величине; равны по величине и совпадают по фазе.
7. Генератор тока в цепи эмиттеров транзисторов дифференциального усилителя способствует: снижению коэффициента усиления синфазного сигнала; увеличению коэффициента усиления дифференциального сигнала; и тому и другому.
8. Токовое зеркало в коллекторных цепях транзисторов дифференциального усилителя способствует: снижению коэффициента усиления синфазного сигнала; увеличению коэффициента усиления дифференциального сигнала; и тому и другому.

9. Выходное напряжение сдвига в реальном дифференциальном усилителе обусловлено: асимметрией плеч усилителя; дрейфом параметров элементов усилителя; этими и другими причинами.
10. Наибольшее усиление дифференциального усилителя обеспечивается при: малых входных сигналах; при больших входных сигналах; при любых одинаково.

Тема № 10

1. Операционный усилитель предназначен для усиления: только переменных сигналов; только постоянных сигналов; переменных и постоянных сигналов.
2. У идеального операционного усилителя выходное сопротивление равно: бесконечности; нулю; сотни кОм.
3. У идеального операционного усилителя входное сопротивление равно: бесконечности; нулю; сотни Ом.
4. Частота единичного усиления операционного усилителя зависит: от режимов работы; сопротивления нагрузки; величина постоянная.
5. Максимальная скорость нарастания выходного сигнала операционного усилителя может достигать: единиц В/мкс; десятков В/мкс; сотен В/мкс.
6. Коэффициент усиления не инвертирующего операционного усилителя с обратной связью равен:

$$K_{oc} = -R_{oc}/R_1; \quad K_{oc} = 1 + R_{oc}/R_1; \quad K_{oc} = 1 + R_1/R_{oc}.$$
7. Коэффициент усиления инвертирующего операционного усилителя с обратной связью равен:

$$K_{oc} = -R_{oc}/R_1; \quad K_{oc} = 1 + R_{oc}/R_1; \quad K_{oc} = -R_1/R_{oc}.$$
8. Коэффициент усиления операционного усилителя с обратной связью с ростом частоты усиливаемого сигнала: увеличивается; уменьшается; не изменяется.
9. Входное сопротивление операционного усилителя с обратной связью с ростом частоты усиливаемого сигнала: увеличивается; уменьшается; не изменяется.
10. Входное сопротивление инвертирующего операционного усилителя с обратной связью равно: R_1 ; R_{oc} ; $R_1 + R_{oc}$.

Тема № 11

1. Амплитудно-частотная характеристика одного каскада операционного усилителя за пределами $f_{гр}$: не изменяется; имеет подъем; имеет спад.

2. За пределами $f_{гр}$ амплитудно-частотная характеристика одного каскада операционного усилителя имеет постоянный спад равный: - 20 дБ/дек, - 40 дБ/дек, - 60 дБ/дек.
3. На частоте $f_{гр}$ фазовый сдвиг между входным и выходным сигналами составляет: -45° , -90° , -145° .
4. На частоте единичного усиления усиление операционного усилителя составляет: 10дБ, 0 дБ, -10 дБ.
5. Максимальный фазовый сдвиг между входным и выходным сигналами вносимый одним каскадом операционного усилителя составляет:
 0° , -90° , -180° .
6. В двухкаскадном операционном усилителе максимальный фазовый сдвиг между входным и выходным сигналами может достигать:
 -90° , -180° , -270° .
7. Амплитудно-частотная характеристика трехкаскадного операционного усилителя имеет точек перегиба:
1, 2, 3.
8. Спад амплитудно-частотной характеристики трехкаскадного операционного усилителя после первой точки перегиба составляет:
-20дБ/дек, -40дБ/дек, -60дБ/дек.
9. Спад амплитудно-частотной характеристики трехкаскадного операционного усилителя после второй точки перегиба составляет:
-20дБ/дек, -40дБ/дек, -60дБ/дек.
10. Спад амплитудно-частотной характеристики трехкаскадного операционного усилителя после третьей точки перегиба составляет:
-20дБ/дек, -40дБ/дек, -60дБ/дек.

Тема № 12

1. Отрицательная обратная связь в инвертирующем операционном усилителе входное сопротивление: увеличивает, уменьшает, не изменяет.
2. Отрицательная обратная связь в инвертирующем операционном усилителе выходное сопротивление: увеличивает, уменьшает, не изменяет.
3. Наклон амплитудно-частотной характеристики полностью скорректированного усилителя с отрицательной обратной связью составляет: - 20 дБ/дек, - 40 дБ/дек, - 60 дБ/дек.
4. Максимальный фазовый сдвиг между входным и выходным сигналами в полностью скорректированном усилителе составляет:
 -90° , -180° , -270° .

5. В N -разрядном аналого-цифровом преобразователе последовательного счета преобразование сигнала осуществляется в течение: $1, N, 2^N-1$ тактов задающего генератора.
6. В N -разрядном аналого-цифровом преобразователе последовательного приближения преобразование сигнала осуществляется в течение: $1, N, 2^N-1$ тактов задающего генератора.
7. В N -разрядном параллельном аналого-цифровом преобразователе преобразование сигнала осуществляется в течение: $1, N, 2^N-1$ тактов задающего генератора.
8. Какие из приведенных параметров аналого-цифрового преобразователя являются динамическими: шаг квантования, максимальная частота преобразования, апертурное время.
9. Какие из приведенных параметров аналого-цифрового преобразователя являются статическими: шаг квантования, максимальная частота преобразования, интегральная нелинейность характеристики преобразования.
10. Самыми быстродействующими являются: аналого-цифровые преобразователи последовательного счета, аналого-цифровые преобразователи последовательного приближения, параллельные аналого-цифровые преобразователи.